

電子情報技術産業協会規格

Standard of Japan Electronics and Information Technology Industries Association

JEITA EM-3604

厚膜 SOI ウェーハ標準仕様

Standard specification for thick film SOI wafers

JEITA半導体部会 シリコン規格管理小委員会の終息に伴い、本規格は 2016年3月(平成28年3月)をもって廃止されました。 シリコン規格管理小委員会の活動記録として公開するものです。

> 2005 年 2 月制定 2016 年 3 月廃止

> > 作 成

シリコン技術委員会 Silicon Technologies Committee

情報処理標準化運営委員会 Managing Committee on Information Technology Standardization

発 行

社団法人 電子情報技術産業協会 Japan Electronics and Information Technology Industries Association

目 次

まえがき・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	1
1. 適用範囲	1
2. 項目及び仕様・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	2
2.1 Bipolar/BiCMOS 用貼合せ SOI ウェーハ	2
2.2 パワーデバイス用貼合せ SOI ウェーハ	3
2.2.1 40-60V 用貼合せ SOI ウェーハ(40-60V MOSFET)	3
2.2.2 40-60V 用貼合せ SOI ウェーハ(N+埋込み層あり、40-60V MOSFET) ·····	4
2.2.3 150V 用貼合せ SOI ウェーハ(150V MOSFET・IGBT) ·····	5
2.2.4 250V 用貼合せ SOI ウェーハ(250V MOSFET·IGBT)	6
2.2.5 500-600V 用貼合せ SOI ウェーハ(500-600V MOSFET·IGBT) ·····	7
解説 · · · · · · · · · · · · · · · · · · ·	8

電子情報技術産業協会規格

厚膜 SOI ウェーハ標準仕様

Standard specification for thick film SOI wafers

まえがき 社団法人電子情報技術産業協会(以下, JEITA という。)シリコン技術委員会傘下の SOI ウェー ハ関連技術専門委員会(以下,当委員会という。)では、ウェーハメーカ、デバイスメーカ及び測定器メー カの参加を得て,高機能・高性能素子用途のウェーハとして欠かすことのできない SOI(Silicon-on-Insulator) ウェーハ及び関連技術に関する幅広い調査活動,SOI ウェーハ及びその測定方法に関する規格の制定,普 及・維持活動に取り組んでいる。

最近の成果として,主に最先端 CMOS-LSI に用いることを想定した薄膜 SOI ウェーハに関する新規格 JEITA EM-3603「SOI ウェーハの規格と標準測定方法」を 2003 年 9 月に制定し,現在その世界発信に努め ている。

JEITA EM-3603 の制定は、旧 SOI ウェーハ規格 JEIDA-50-1998 を改正する形で行われたため、JEITA EM-3603 の発行にともない JEIDA-50-1998 は廃止された。一方、JEIDA-50-1998 は CMOS-LSI 用途の薄膜 SOI ウェーハだけでなく、パワーデバイスや Bipolar/BiCMOS 用途に用いられる厚膜 SOI ウェーハに関しても 規定していたため、その廃止の影響をあらためて調査した。その結果、当委員会に参加する多数の委員か ら JEIDA-50-1998 の厚膜 SOI ウェーハに関する部分が半導体産業の現場で使われている"生きた規格"であ り、今後も存続することが望ましいとの回答が得られた。

そこで、当委員会ではその重要性に鑑み、JEIDA-50-1998から厚膜 SOI ウェーハに関する部分を抜き出して、新たに JEITA EM-3604「厚膜 SOI ウェーハ標準仕様」として制定することとなった。

1. 適用範囲 本仕様は, Bipolar/BiCMOS 用貼合せウェーハ, パワーデバイス用貼合せ SOI ウェーハの標 準規格に適用する。

2. 項目及び仕様

2.1 Bipolar/BiCMOS 用貼合せ SOI ウェーハ

	項目	値	単位	推奨される測定方法
И	ウェーハ径	125, 150, 200	mm	
	ウェーハ径公差	± 0.20	mm	
全位	厚さ	[B]	μ m	
~	反り (WARP)	\leq 30 (¹)	μ m	静電容量法
л Н	TTV	[B]	μ m	
Ą	エッジ除外	$< 2 (^{2})$	mm	
	エッジ形状/仕上げ	(⁶)	—	
	厚さ	$1.5 \sim 2.0$	μ m	分光エリプソメトリ又は反射型
	厚さ公差	$\pm 0.3(^3)$	μ m	分光エリプソメトリ又は反射型
	結晶方位	$(100), (111) \pm 1^{\circ}$	—	
	抵抗率	0.1 \sim 1, 10 \sim 30	$\Omega \cdot cm$	
	伝導型	P, N	—	
1500m	酸素濃度	$[\mathbf{B}]$ (⁴)	/cm ³	SEMI MF 1188-02
JI 厦	炭素濃度	$[\mathbf{B}]$ (⁴)	/cm ³	SEMI MF 1391-93
SC	メタル汚染	[B]	/cm ²	AAS, ICP-MS, TXRF
	パーティクル	[B]	/ウェーハ	光散乱法
	表面ラフネス	[B]	nm	AFM
	残留応力	反りの値で代用	—	
	OSF 密度	[B]	/cm ²	
	ボイド(⁷)	0	/ウェーハ	超音波探傷法
	厚さ	$0.2 \sim 1.0$	μ m	分光エリプソメトリ又は反射型
圈	厚さ公差	± 5	%	分光エリプソメトリ又は反射型
iO_2	接合強度	熱酸化膜/Si 界面並み	kg/cm ²	引張り法(⁵)
74 S	表面ラフネス	熱酸化膜並み	nm	
ЪìЛ	比誘電率	熱酸化膜並み	—	
埋 X	絶縁耐圧	熱酸化膜並み	MV/cm	
	N _{FB}	(6)	/cm ²	
	結晶方位	(6)	-	
	抵抗率	(6)	$\Omega \cdot cm$	
反	伝導型	P, N	—	
基本	OF/ノッチ	[B]	-	
艺持	酸素濃度	(6)	/cm ³	SEMI MF 1188-02
IN/	炭素濃度	(6)	/cm ³	SEMI MF 1391-93
	メタル汚染	[B]	—	AAS, ICP-MS
	裏面状態	[B]	_	

[B]:バルクウェーハと同等

注(¹) ウェーハ直径 150mm, SiO₂ 厚さ 0.5 µ m の場合の値であり, ウェーハ直径が異なる場合には, 直径で案分する。 (²) ウェーハユーザからの希望値。

- (3) 本文参照。
- (4) 受渡当事者間の協議による。
- (⁵) Si 膜 1 µ m 以上の場合を対象。
- (6) 空欄の値は、受渡当事者間の協議による。
- (⁷) 分類を従来の「埋め込み SiO₂層」から「SOI 層」に変更した。

2.2 パワーデバイス用貼合せ SOI ウェーハ

2.2.1 40-60V 用貼合せ SOI ウェーハ(40-60V MOSFET)

	項目	偭	4 1	単位	推奨される測定方法
全体	ウェーハ径	125, 150, 200		mm	
	ウェーハ径公差	[B]	± 0.20	mm	
	厚さ	[B]+(SOI 厚さ)+(埋 め込み SiO ₂ 層厚さ)	[B]	μ m	
$\frac{1}{1}$	TTV	[E	3]	μ m	
Ĥ	LTV	[B]		μ m	
Ţ	反り (WARP)	\leq 50 (¹)	\leq 30 (¹)	μ m	静電容量法
	エッジ除外	<	2	mm	
	エッジ形状/仕上げ	(2	²)	-	
	厚さ	$2 \sim 12$	$0.1 \sim 0.5$	μ m	(3)
	厚さ公差	$\pm 10(^{4})$	\pm 5	%	(³)
	結晶方位	(100)	± 1	—	
	抵抗率	$0.5 \sim 50$	$10 \sim 100$	$\Omega \cdot cm$	
	伝導型	N,	Р	—	
	酸素濃度	[B]	$\binom{2}{5}$	/cm ³	SEMI MF 1188-02
M	炭素濃度	$\begin{bmatrix} \mathbf{B} \end{bmatrix} \begin{pmatrix} 2 \end{pmatrix} \begin{pmatrix} 5 \end{pmatrix}$		/cm ³	SEMI MF 1391-93
IO	メタル汚染	[B]		/cm ²	AAS, ICP-MS, TXRF
01	パーティクル	[B]		/ウェーハ	光散乱法
	表面ラフネス	[B]		nm	
	残留応力	反りの値で代用		—	
	OSF 密度	[B] (²)		/cm ²	
	転位密度	[B] (²)		/cm ²	
	キャリアライフタイム	(2)		$\mu \sec$	μ-PCD 法
	厚さ	$0.5~\sim~2$	$0.4~\sim~1.0$	μ m	分光エリプソメトリ又は反射型
[]⊞II	厚さ公差	± 5		%	分光エリプソメトリ又は反射型
\mathbf{O}_2	接着強度	熱酸化膜/Si 界面並み		kg/cm ²	引張り法()
≻ Si	接着位置	下面		—	
ŭλ	ボイド	0		/cm ²	超音波探傷法
×	比誘電率	熱酸化	膜並み	-	
理	絶縁耐圧	熱酸化	膜並み	MV/cm	
	N _{FB}	(2	2)	/cm ²	
	結晶方位	不	問	_	
	抵抗率	$1 \sim 50$		$\Omega \cdot cm$	
返	伝導型	Р,	Ν	_	
基杨	OF/ノッチ	[E	3]	_	
共	酸素濃度	(2		/cm ³	SEMI MF 1188-02
TPA	炭素濃度	(2	Ż)	/cm ³	SEMI MF 1391-93
	メタル汚染	[E	3]		AAS, ICP-MS
	裏面状態	[E	3]	_	

[B]:バルクウェーハと同等

注() ウェーハ直径 150mm の場合の値であり、ウェーハ直径が異なる場合には、直径で案分する。

(2) 受渡当事者間の協議による。

(³) SOI 層が数μm(7μm程度)以下の場合分光エリプソメトリ又は反射型,
 SOI 層が数μm(7μm程度)以上の場合分光エリプソメトリ又は FT-IR を推奨。

(4) SOI 層が数μm (7μm程度)以下の場合公差±0.5μm,

SOI 層が数 μ m (7 μ m 程度)以上の場合±1.0 μ m を推奨。

(5) 貼合せ前の値。

(⁶) Si 膜 1 µ m 以上の場合を対象。

2.2.2 40-60V 用貼合せ SOI ウェーハ(N+埋込み層あり, 40-60V MOSFET)

	項目	值	単位	推奨される測定方法
含体	ウェーハ径	125, 150, 200	mm	
	ウェーハ径公差	[B]	mm	
	厚さ	[B]+ (SOI 厚さ) + (埋め込み SiO ₂ 層厚さ)	μ m	
₹ ,	TTV	[B]	μ m	
<u> </u>	LTV	[B]	μ m	
ч Ч	反り (WARP)	\leq 50 (¹)	μ m	静電容量法
	エッジ除外	< 2	mm	
	エッジ形状/仕上げ	(2)	_	
	厚さ	$8 \sim 16$	μ m	(3)
	厚さ公差	\pm 10 (⁴)	%	(3)
	結晶方位	$(100) \pm 1$	—	
	抵抗率	$0.4~\sim~10$	$\Omega \cdot cm$	
	伝導型	Ν	—	
	酸素濃度	[B] (²) (⁵)	/cm ³	SEMI MF 1188-02
1500m	炭素濃度	[B] (²) (⁵)	/cm ³	SEMI MF 1391-93
∎ I(メタル汚染	[B]	/cm ²	AAS, ICP-MS, TXRF
\widetilde{S}	パーティクル	[B]	/ウェーハ	光散乱法
	表面ラフネス	[B]	nm	
	残留応力	反りの値で代用	_	
	OSF 密度	$[\mathbf{B}]$ (²)	/cm ²	
	転位密度	[B] (²)	/cm ²	
	キャリアライフタイム	(2)	μ sec	μ-PCD 法
	埋込層	$\binom{2}{6}$	—	
	厚さ	$2 \sim 3$	μ m	分光エリプソメトリ又は反射型
	厚さ公差	± 5	%	分光エリプソメトリ又は反射型
O_2	接着強度	熱酸化膜/Si 界面並み	kg/cm ²	引張り法
⊁ Si	接着位置	内部又は下面		
ЪJ	ボイド	0	/cm ²	超音波探傷法
₹	比誘電率	熱酸化膜並み	—	
-77'	絶縁耐圧	熱酸化膜並み	MV/cm	
	N _{FB}	(2)	/cm ²	
	結晶方位	不問	—	
熲	抵抗率	$1 \sim 50$	$\Omega \cdot cm$	
	伝導型	P, N	—	
連	OF/ノッチ	[B]	—	
大坊	酸素濃度	(2)	/cm ³	SEMI MF 1188-02
	炭素濃度	(2)	/cm ³	SEMI MF 1391-93
	メタル汚染	[B]	—	AAS, ICP-MS
	裏面状態	[B]	—	

[B]:バルクウェーハと同等

注(¹) ウェーハ直径 150mm の場合の値であり、ウェーハ直径が異なる場合には、直径で案分する。

(2) 受渡当事者間の協議による。

(³) SOI 層が数µm(7µm程度)以下の場合分光エリプソメトリ又は反射型,

SOI 層が数µm(7µm程度)以上の場合分光エリプソメトリ又はFT-IRを推奨。

(4) SOI 層が数μm(7μm程度)以下の場合公差±0.5μm,
 SOI 層が数μm(7μm程度)以上の場合±1.0μmを推奨。

(5) 貼合せ前の値。

(⁶) ドーパントは Sb, シート抵抗は 20Ω/□, 拡散深さは 3µm を推奨。

	項目	値	単位	推奨される測定方法
內体	ウェーハ径 125, 150, 200		mm	
	ウェーハ径公差	[B]	mm	
	厚さ	[B]+ (SOI 厚さ) + (埋め込み SiO ₂ 層厚さ)	μ m	
<	TTV	[B]	μ m	
] ប	LTV	[B]	μ m	
Ę.	反り (WARP)	\leq 50 (¹)	μ m	静電容量法
	エッジ除外	< 2	mm	
	エッジ形状/仕上げ	(2)	_	
	厚さ	$3 \sim 10$	μ m	(3)
	厚さ公差	± 10 (⁴)	%	(3)
	結晶方位	$(100) \pm 1$	—	
	抵抗率	$5 \sim 50$	$\Omega \cdot cm$	
	伝導型	N, P	—	
	酸素濃度	[B] (²) (⁵)	/cm ³	SEMI MF 1188-02
围	炭素濃度	[B] (²) (⁵)	/cm ³	SEMI MF 1391-93
IOS	メタル汚染	[B]	/cm ²	AAS, ICP-MS, TXRF
•1	パーティクル	[B]	/ウェーハ	光散乱法
	表面ラフネス	[B]	nm	
	残留応力	反りの値で代用	—	
	OSF 密度	$[\mathbf{B}]$ (²)	/cm ²	
	転位密度	$[\mathbf{B}]$ (²)	/cm ²	
	キャリアライフタイム	(2)	μ sec	μ-PCD 法
	厚さ	$0.5\sim2$	μ m	分光エリプソメトリ又は反射型
闭	厚さ公差	\pm 5	%	分光エリプソメトリ又は反射型
O_2	接着強度	熱酸化膜/Si 界面並み	kg/cm ²	引張り法
⊁ Si	接着位置	下面		
ŭλ	ボイド	0	/cm ²	超音波探傷法
€	比誘電率	熱酸化膜並み	-	
西	絶縁耐圧	熱酸化膜並み	MV/cm	
	N _{FB}	(2)	/cm ²	
	結晶方位	不問	—	
	抵抗率	$1 \sim 50$	$\Omega \cdot cm$	
炅	伝導型	P or N	—	
基材	OF/ノッチ	[B]	—	
ち	酸素濃度	(2)	/cm ³	SEMI MF 1188-02
TΗ	炭素濃度	(2)	/cm ³	SEMI MF 1391-93
	メタル汚染	[B]	_	AAS, ICP-MS
	裏面状態	[B]	_	

2.2.3 150V 用貼合せ SOI ウェーハ(150V MOSFET・IGBT)

[B]:バルクウェーハと同等

注(1) ウェーハ直径 150mm の場合の値であり、ウェーハ直径が異なる場合には、直径で案分する。

(2) 受渡当事者間の協議による。

(³) SOI 層が数µm(7µm程度)以下の場合分光エリプソメトリ又は反射型,
 SOI 層が数µm(7µm程度)以上の場合分光エリプソメトリ又は FT-IR を推奨。

(4) SOI 層が数µm(7µm程度)以下の場合公差±0.5µm,
 SOI 層が数µm(7µm程度)以上の場合±1.0µmを推奨。

(5) 貼合せ前の値。

2.2.4 250V 用貼合せ SOI ウェーハ(250V MOSFET・IGBT)

	項目	値	単位	推奨される測定方法
含体	ウェーハ径	125, 150, 200	mm	
	ウェーハ径公差	[B]	mm	
	厚さ	[B]+ (SOI 厚さ) + (埋め込み SiO ₂ 層厚さ)	μ m	
1 L	TTV	[B]	μ m	
ן נו	LTV	[B]	μ m	
Ч Г	反り (WARP)	\leq 70 (¹) (²)	μ m	静電容量法
	エッジ除外	< 2	mm	
	エッジ形状/仕上げ	(3)	—	
	厚さ	$2 \sim 10$	μ m	(4)
	厚さ公差	± 10 (⁵)	%	(4)
	結晶方位	$(100) \pm 1$	—	
	抵抗率	$2 \sim 50$	$\Omega \cdot cm$	
	伝導型	N, P	—	
	酸素濃度	[B] (³) (⁶)	/cm ³	SEMI MF 1188-02
圛	炭素濃度	[B] (³) (⁶)	/cm ³	SEMI MF 1391-93
IOS	メタル汚染	[B]	/cm ²	AAS, ICP-MS, TXRF
•1	パーティクル	[B]	/ウェーハ	光散乱法
	表面ラフネス	[B]	nm	
	残留応力	反りの値で代用	—	
	OSF 密度	$[\mathbf{B}]$ (³)	/cm ²	
	転位密度	$[\mathbf{B}]$ (³)	/cm ²	
	キャリアライフタイム	(3)	μ sec	μ-PCD 法
	厚さ	$2 \sim 3$	μ m	分光エリプソメトリ又は反射型
Ĩ\æ∎	厚さ公差	± 5	%	分光エリプソメトリ又は反射型
O ₂ J	接着強度	熱酸化膜/Si 界面並み	kg/cm ²	引張り法
۲ Si	接着位置	内部又は下面		
$\mathcal{L}\mathcal{A}$	ボイド	0	/cm ²	超音波探傷法
€ Ø	比誘電率	熱酸化膜並み	—	
坦	絶縁耐圧	熱酸化膜並み	MV/cm	
	N _{FB}	(3)	/cm ²	
	結晶方位	不問	—	
	抵抗率	$1 \sim 50$	$\Omega \cdot cm$	
112	伝導型	P, N	-	
基核	OF/ノッチ	[B]	—	
ち持	酸素濃度	(3)	/cm ³	SEMI MF 1188-02
141	炭素濃度	(3)	/cm ³	SEMI MF 1391-93
	メタル汚染	[B]	_	AAS, ICP-MS
	裏面状態	[B]	_	

[B]:バルクウェーハと同等

注(¹) ウェーハ直径 150mm の場合の値であり、ウェーハ直径が異なる場合には、直径で案分する。

(²) ウェーハユーザからの希望値は 50 µ m。

(3) 受渡当事者間の協議による。

(⁴) SOI 層が数µm(7µm程度)以下の場合分光エリプソメトリ又は反射型,

SOI 層が数µm(7µm程度)以上の場合分光エリプソメトリ又は FT-IR を推奨。

(5) SOI 層が数µm(7µm程度)以下の場合公差±0.5µm,
 SOI 層が数µm(7µm程度)以上の場合±1.0µmを推奨。

(6) 貼合せ前の値。

	項目	值	単位	推奨される測定方法
合体	ウェーハ径	125, 150, 200	mm	
	ウェーハ径公差	[B]	mm	
	厚さ	[B]+ (SOI 厚さ) + (埋め込み SiO ₂ 層厚さ)	μ m	
₹ <	TTV	[B]	μ m	
1	LTV	[B]	μ m	
ч	反り (WARP)	$\leq 100 (^{1}) (^{2})$	μ m	静電容量法
	エッジ除外	< 2	mm	
	エッジ形状/仕上げ	(3)	-	
	厚さ	$3 \sim 17$	μ m	(4)
	厚さ公差	$\pm 10^{(5)}$	%	(4)
	結晶方位	$(100) \pm 1$	_	
	抵抗率	$5 \sim 50$	$\Omega \cdot cm$	
	伝導型	N, P	-	
	酸素濃度	[B] (³) (⁶)	/cm ³	SEMI MF 1188-02
围	炭素濃度	[B] (³) (⁶)	/cm ³	SEMI MF 1391-93
IOS	メタル汚染	[B]	/cm ²	AAS, ICP-MS, TXRF
01	パーティクル	[B]	/ウェーハ	光散乱法
	表面ラフネス	[B]	nm	
	残留応力	反りの値で代用	—	
	OSF 密度	$[\mathbf{B}]$ (³)	/cm ²	
	転位密度	[B] (³)	/cm ²	
	キャリアライフタイム	(3)	μ sec	μ-PCD 法
	厚さ	$3 \sim 5$	μ m	分光エリプソメトリ又は反射型
	厚さ公差	± 5	%	分光エリプソメトリ又は反射型
O ₂ J	接着強度	熱酸化膜/Si 界面並み	kg/cm ²	引張り法
≻ Si	接着位置	内部又は下面		
ŭλ	ボイド	0	/cm ²	超音波探傷法
β	比誘電率	熱酸化膜並み	_	
刊	絶縁耐圧	熱酸化膜並み	MV/cm	
	N _{FB}	(³)	/cm ²	
	結晶方位	不問	_	
	抵抗率	$1 \sim 50$	$\Omega \cdot cm$	
反	伝導型	P, N	_	
基秒	OF/ノッチ	[B]	_	
払持	酸素濃度	(3)	/cm ³	SEMI MF 1188-02
Ir /	炭素濃度	(3)	/cm ³	SEMI MF 1391-93
	メタル汚染	[B]	_	AAS, ICP-MS
	裏面状態	[B]	_	

2.2.5 500-600V 用貼合せ SOI ウェーハ(500-600V MOSFET・IGBT)

[B]:バルクウェーハと同等

注(¹) ウェーハ直径 150mm の場合の値であり、ウェーハ直径が異なる場合には、直径で案分する。

(²) ウェーハユーザからの希望値は 50 µ m。

(3) 受渡当事者間の協議による。

(⁴) SOI 層が数µm(7µm程度)以下の場合分光エリプソメトリ又は反射型,

SOI 層が数µm(7µm程度)以上の場合分光エリプソメトリ又はFT-IRを推奨。

(5) SOI 層が数µm(7µm程度)以下の場合公差±0.5µm,
 SOI 層が数µm(7µm程度)以上の場合±1.0µmを推奨。

(6) 貼合せ前の値。

厚膜 SOI ウェーハ標準仕様の解説

この解説は、本体及び附属書に記載した事柄、参考に記載した事柄、並びにこれらに関連した事柄を説 明するためのもので、規格の一部ではない。

1. 制定の趣旨 本規格の制定は,現実に使われている規格である JEIDA-50-1998 が, JEITA EM-3603 の 制定に伴って廃止されたことで生じた問題に対応することを第一の目的として行われた。したがって,作 業に当たっては JEIDA-50-1998 の内容をできるだけそのまま引き継ぐことに留意した。

厚膜 SOI ウェーハに求められる特性やウェーハの製造技術及び測定技術が時代に応じて進歩していることは事実である。しかし、今回の規格制定に際しては、規格が存在しないことによる不利益を排除することを最優先とした。時代に応じた新しい要求への対応は、今後適時改正を行うことで対応したい。

2. 審議経過 平成 15 年度第1回専門委員会(2003 年 12 月開催)において,当委員会の委員から JEITA EM-3603 制定の手続きに関して質問があり,その制定に伴って JEIDA-50-1998 が廃止されたことの影響を指摘する意見が出された。そこで、参加委員に改めて JEIDA-50-1998 廃止の影響について調査を依頼したところ,JEIDA-50-1998 の厚膜関連部分は半導体の製造現場で使われている規格であり、廃止は望ましくないとの意見が多数寄せられた。そこで、第2回専門委員会(2004 年 1 月開催)で審議・検討した結果,JEIDA-50-1998 から厚膜部分だけを取り出して新しい JEITA 規格を作成することになった。第3回専門委員会(2004 年 3 月開催)で JEIDA-50-1998 からの変更点をまとめた原案が示され、討議を行うと同時に各委員が持ち帰って検討を加えることとした。

平成16年度第1回専門委員会(2004年6月開催)で、各委員から出された意見を加味した修正案が提示 され、基本的に了承された。その後、シリコン技術委員会及び当委員会での書面審議を経て、2005年2月 に制定された。

3. JEIDA-50-1998 からの主な改正点 基本的に JEIDA-50-1998 の厚膜部分の内容をそのまま踏襲した。 JEIDA-50-1998 に含まれていた CMOS-LSI 用薄膜 SOI ウェーハに関する規定内容は, JEITA EM-3603 に発 展的に引き継がれたためすべて削除し,それに伴う技術的な改正を加えた。さらに JEIDA-50-1998 で引用さ れていた規格のうち, ASTM 規格はすべて SEMI 規格に移行済み又は今後の移行が予定されているため, それに伴い修正した。

4. 本仕様の特徴 本仕様は, Bipolar/BiCMOS 用貼合せウェーハ及びパワーデバイス用貼合せウェーハ 各々に対して制定したものである。標準項目は、ウェーハ形状からウェーハ品質の細部にまで及んでいる。 現段階において, SOI 層ゆえに標準値を検討するための測定手段が画一化されていない。そのため、測定 方法例及び測定の際の注意事項を付記した。なお、標準項目の中で、ウェーハエッジ除外, SOI 層厚さば らつき, SOI 層の結晶欠陥密度の3項目の規格値はウェーハユーザからの希望値である。

に示す。

Dυ

DL

5. 測定方法

- 5.1 反り/TTV/LTV
- 5.1.1 静電容量法¹⁾
- (1) 測定原理 ウェーハとプローブ間に電位を与えると、ウェーハとの距離の変化が静電容量の変化とし て検出されることを利用した測定法(JIS H 0611)である。ウェーハとプローブ間の距離 d は静電容 量 C と出力電圧 V から次式で求められる。

$$d = \frac{\epsilon A}{C} = \frac{\epsilon A_p \kappa}{I_p} \cdot V$$
ここで, C:静電容量, ϵ :誘電率, A_p:プローブ面積, d:距離
V:出力電圧, f:搬送周波数, I_p:プローブ電流(一定)
測定センサーの構造例及び測定時のプローブの配置場所をそれぞれ**解説図1(a), (b)**

センサ:静電容量式 センサの構造(例) ガードリング 3.81mm 正方形電極

(a) 測定センサの構造例

測定:3プローブ方式 フラットネス 2プローブ

反り (ワープ) 3 プローブ



(b) 測定時のプローブの配置断面図

解説図1

- (b) の各プローブ A, B, C は, それぞれウェーハ表面, ウェーハ裏面, 基準表面との間の容量を測定するためのものである。D_u, D_Lは, プローブ A とウェーハ表面, プローブ B とウェーハ裏面との距離である。
- (2) 注意事項
 - a) SOI ウェーハの厚み、反り/TTV/LTVの測定誤差は、表面 Si 層の膜厚、抵抗率及び酸化膜の膜厚 をパラメータとして計算すると最も測定誤差の大きい薄膜 SOI(抵抗率大)ウェーハの場合でも解 説図2に示すように最大で0.013µmであり、問題はない。
 - b) プローブ面積を小さくするほど、測定精度が向上する。ただし、雑音に注意する必要がある。



- 5.1.2 光干渉計
- (1) 測定原理 参照面及び測定ウェーハ面に各々平行光線を当てると、各々の面からの反射光が互いに重 ね合さることによって干渉が生じる。参照面の平面とウェーハの平面の形状差が干渉縞の形で得られ る。

光干渉計の一例としてトワイマン・グリーン干渉計を解説図3に示す。



解説図3 トワイマン・グリーン干渉計

(2) 注意事項 ウェーハ自重とチャックの構造による誤差に注意すること。

5.1.3 推奨される測定方法 「反り」は静電容量法による測定を推奨する。本仕様では、標準仕様の表に 記載されている「反り」とは SEMI 規格(旧 ASTM 規格)による「WARP」を意味する。静電容量法の具 体的な手続きと「WARP」の定義は、SEMI MF 1390 及び MF 657 に従う。

5.2 SOI 層膜厚

5.2.1 反射分光法

(1) 測定原理 可視光領域の波長(400~800nm)を連続的に変化させて SOI 層に入射し,反射分光(例: 解説図 4)を測定する。SOI の多層膜に光が入射した時,解説図 5 のように SOI 層表面及び埋め込み 酸化膜の表面,裏面で反射が生じる。このとき位相も変化する。最終的に SOI 表面から反射される光 の強度は,各領域で反射された光の和となるが,SOI 層及び埋め込み酸化膜の厚さによって光路差が 生じ,波長に応じた位相差があらわれる。このため,波長に依存した反射光強度がえられ,入射光強 度に対する比率で反射率として示したものが反射分光である。この分光曲線は SOI 層及び埋め込み酸 化膜の厚さによって変化する。測定された分光曲線を、シミュレーションによる近似算出又はデータ ベースとの比較によって SOI 層の厚さを割り出す。



解説図4 SOI ウェーハの反射分光測定例³⁾



解説図5 SOI ウェーハの光の透過と反射

- (2) 注意事項
 - a) 可視光を利用しているため、測定できる SOI 層及び埋め込み酸化膜の厚さに制限がある。

例:ナノスペック/AFT model:210LCW.SP-FSC15

SOI層:	$0.01 \sim 15 \mu$ m
埋め込み酸化膜:	$0.004 \sim 3 \mu \mathrm{m}$

- b) 多層膜各層の光学定数が既知であり膜内で一定でなければならない。
- 5.2.2 分光エリプソメトリ
- (1) **測定原理** 白色光を偏光子で直線偏光にした光を試料に照射し,楕円偏光となった反射光を,検光子, 分光器を通して検知器で受光する。各波長に対する tan φ (振幅反射率比) と cos Δ (位相差)を測定

する。一方で、多層膜構造、各層の複素誘電関数と膜厚を仮定して理論的に tan φ (振幅反射率比)と cos Δ (位相差)を計算し、最小二乗法によって計算値と測定値のフィッティングを行って膜厚を求め る。



解説図6 分光エリプソメータ

- (2) 注意事項
 - a) 局所的に膜厚が変動している試料では、入射光のビーム径を適切に小さくする必要がある。4)
 - b) 埋め込み酸化膜にシリコン粒を含む場合や,層間にボイドがある場合には Bruggeman 近似⁵⁾ で層の 実効的複素誘電関数を与える。

5.2.3 FT-IR (Fourier Transform Infra-Red spectrometry)

(1) 測定原理 一般的に平行薄膜に入射した光の反射光は、その膜厚に応じた位相差(Δ)を生じること が知られている。ここで、この位相差(Δ)に相当する位相差を有する光が入射した場合には干渉が 起こる。

本装置は**解説図 7**に示すように、光源から出た赤外線をマイケルソン干渉計にて経時的な位相差を 有する状態で試料に入射し、その反射光の時間変化を検出するものである。すなわち、この検出器に は膜厚に対応した干渉のピークが観測され、このピークによって膜厚を求めることができる。



解説図7 FT-IR による膜厚測定の測定系

- (2) 注意事項 マイケルソン干渉計を出た赤外線が同位相の場合,検出器においてセンタバーストと呼称 されるピークが観測される。そして,被測定物の膜厚に応じて観測されるピークは膜厚が薄くなるに 従って観測される位置がセンタバーストに近づく。そのため検出可能(分離可能)な最小膜厚はフー リエ変換処理を施した上で,0.3 µm 程度である。また,逆に厚い方では数百 µm 程度まで測定可能で ある。
- 5.2.4 膜厚公差の定義 SOI 層膜厚公差の定義を以下のように定める。
 - 1) 測定点が1測定につき1点である膜厚測定の場合、ウェーハ面内数点を測定したあと、最大値、最 小値を選び出す。そして公差は、

膜厚公差=最大值-最小值

で定義する。なお、測定位置及び点数は当事者間で合意の上決定する。

 測定点が1測定に多数点(例えば数百点)の膜厚測定の場合,ウェーハ面内公差は 膜厚公差=3σ(標準偏差の3倍)

で定義する。なお、ウェーハ周辺部などの測定除外領域は当事者間で合意の上決定する。

- 5.2.5 推奨される測定方法 本仕様では, 膜厚とその公差の評価には以下の方法を推奨する。
- (1) 数µm(7µm程度)以下の場合は反射分光法を推奨し、これを越える場合はFT-IR法を推奨する。
- (2) 数点(例えば9点)の膜厚測定を実施し、最大値と最小値の差で以て公差を定義する。
- (3) 貼合せ SOI の埋め込み酸化膜は、酸化膜形成時の膜厚測定評価の値を用い、必ずしも SOI 構造で評価 しなくてもよい。
- (4) 上記(1)~(3)のいずれの場合も、数点測定の場合は、測定点数と測定位置を、多数点測定の場合 は測定除外領域を明示する。
- 5.3 N_{d} . ρ_{s}
- 5.3.1 SIMS (Secondary Ion Mass Spectrometry)
- (1) 測定原理 SIMS は解説図 8 に示すように、一次イオンビーム(例 O₂⁺ 又は C_s+)を試料表面に照射 し、その表面からスパッタリングによって発生する二次イオンを質量分析することで試料の構成元素

を分析する方法である。



解説図8 SIMSの測定原理

- (2) 注意事項 埋め込み SiO₂層の存在による試料のチャージアップ,Si と SiO₂で検出感度が異なるマト リックス効果及び妨害イオンの存在(例 P³¹分析における Si³⁰H¹の存在)に注意する。
- 5.3.2 四探針法
- (1) 測定原理 解説図9に示すように、等間隔0で並んだ4本の針をウェーハに接触し、外側の電極①、④ 間に既知の電流 I [A] を流し、中央の電極②、③によって電圧値 V [V] を測定する(JIS H 0602)。 抵抗率ρ [Ω・cm] は次式で与えられる。

$$\rho = 2\pi\ell \cdot \frac{V}{I}$$

ℓ>>dの場合

$$\rho = \frac{\pi}{\log_e 2} \cdot \frac{V}{I \cdot d} \doteq \frac{4.45}{d} \cdot \frac{V}{I} \qquad (\Omega \cdot \text{cm})$$



解説図9 四探針法の測定原理

- (2) 注意事項
 - a) ウェーハ洗浄後,不純物の影響によってウェーハ表面に正又は負の電荷を持つ場合や,埋め込み酸 化膜中の正の固定電荷の影響によって空乏層が広がると,四探針法では正しく抵抗率を測定できな いことに注意する。
 - b) 貼合せ SOI ウェーハの抵抗率測定は埋め込み酸化膜中の固定電荷による空乏層の存在が無視できる 程十分厚いシリコン層の場合のみ四探針法で測定可能である。シリコン層膜厚が薄い SIMOX ウェ ーハでは空乏層の広がりを無視できる低抵抗ウェーハ(0.01~0.02Ω・cm)のみ測定可能であった。
- 5.3.3 拡がり抵抗法
- (1) 測定原理 斜め研磨されたウェーハの斜め研磨面に沿って2本のプローブを既知のステップで走査す る。各ステップにおいて2本のプローブ間に既知の電圧(例:5mV)を印加し,その時プローブ間に 流れる電流を測定することによって拡がり抵抗を求める(解説図10)。
- (2) 注意事項 SOI ウェーハを斜め研磨した場合,表面シリコン層の拡がり抵抗測定において,埋め込み 酸化膜の固定電荷の影響及び,界面付近では下部に埋め込み層が存在することによって抵抗値が高く なるため注意する必要がある。
- (3) 一般的注意事項 SOI ウェーハ特有の現象として、ウェーハ作製時に雰囲気からのボロン汚染によっ て SIMOX ウェーハの表面 Si 層や貼合せウェーハの接合界面近傍のボロン濃度が上昇する場合がある ことに注意する必要がある。(解説図 11)







解説図 10 拡がり抵抗法の測定原理



解説図 11 SIMOX ウェーハ中の B の深さ分布

5.4 パーティクル

- 5.4.1 光散乱法
- (1) 測定原理 レーザ光をウェーハ表面に照射して、その表面に付着した微粒子からの散乱光を受光する。 レーザ光をウェーハ表面に走査しながら受光すると、ウェーハ表面からの散乱光やノイズは直流成分 として、微粒子からの散乱光はパルス成分として検出される。粒子径は標準粒子を用いて較正する(解 説図 12)。



解説図 12 微粒子の検出原理

多層膜ウェーハである SOI ウェーハでは、膜界面からの散乱光ノイズが多いので、膜内部への入射成分 を少なくし、表面反射成分を多くする工夫が必要である。例えば、約 10°の低角度入射の S 波偏光は約 85%がシリコン表面で反射され、S/N が改善される(**解説図 13**)。



解説図 13 S 波偏光低角度照射による S/N の改善

(2) 注意事項

- a) 比較的シリコン膜厚の厚い SOI ウェーハ (SOI>1.0µm) では、バルクウェーハで使われている垂 直照射型の装置が適用される。ただし、膜厚ばらつきによる干渉信号を消去するハイパスフィルタ を使用すること及びフォトマルの検出感度を調整することが必要である。バルクウェーハと同等 (粒径 0.1µm以上)のパーティクルの検出が可能である。
- b) シリコン膜厚の薄い SOI ウェーハ (SOI<0.5µm)では、散乱ノイズが多いので、S 波偏光又は通常光の低角度照射を用いるのが好ましい。ただし、ノイズを下げるために検出器の感度調整等が必要である。検出感度は散乱光ノイズの大きさに依存するが、低角度照射法で大体 0.5µm 以上(バルクでは 0.2µm 以上)の検出が可能である。</p>
- c) 定量性が十分に確立されていない状況においては,間接的な評価方法として SOI 製造工程に評価方法の確立されたバルクウェーハをモニタとして同時に流し,そのデータでパーティクルレベルを把握する方法も考えられる。
- 5.5 ラフネス

5.5.1 AFM (Atomic Force Microscope)

- (1) **測定原理** 探針つきカンチレバーを試料表面に接触させ、これを掃引することによるカンチレバーの 位置変位を、例えば、光学的な手法で読み取り、凹凸の二次元的情報を引き出すものである(解説図 14, 15)。
- (2) 注意事項
- a) ラフネスを正しく評価するためには,評価用試料の表面処理方法に配慮が必要である。 (表面処理の一例)
 - i) 表面 Si 層を観察する場合の表面処理:

希釈 HF 溶液→水洗→乾燥

ii) 埋め込み酸化膜界面(上側)を観察する場合の表面処理:

希釈 HF 溶液→水洗→KOH 溶液→水洗→乾燥

iii) 埋め込み酸化膜界面(下側)を観察する場合の表面処理:

希釈 HF 溶液→水洗→KOH 溶液→水洗→希釈 HF 溶液→水洗→乾燥

〈表面処理に用いる薬液の一例〉

希釈 HF 溶液:室温, 1.5%

KOH 溶液: 50~60℃

- b) 探針の先端形状(寸法)に十分留意し,評価対象に合せて触針の方法(コンタクト法,タッピング 法,ノンコンタクト法)を選択する必要がある。
 - i) コンタクト法:原子寸法オーダの評価が可能であるという特徴があるが,絶縁膜上では触針に よる静電気がデータに影響を与える場合があるので注意が必要である。
 - ii) タッピング法:材料に依らず安定な評価を得易いという特徴があるが,掃引速度が平坦性に依存することから,平坦性の良好な試料を除き,広範囲の観察に不向きである。
 - iii) ノンコンタクト法:表面吸着層の影響を受け易いので最近は用いられない。
- c) データの信頼性を高めるため、一般的に観察面積を 20 µ m×20 µ m 以上とすることが望ましい。
- d) 凹凸の高さの校正: JEITA EM-3505 を参考とする。



解説図 14 探針付カンチレバー



解説図 15 原子間力顕微鏡

5.5.2 Stylus [例:ナノステップ2(ランクテーラーホブソン㈱社製)]

(1) 測定原理 先端にダイヤモンドを有する触針を用いて,接触圧力1~100mgfで被測定物上をトレース し,その表面の形状を触針の上下運動に変換し,さらにこれを差動変換器などによって電気信号に変 換して,表面の凹凸を一次元的に表す。



(図提供:ランクテーラーホブソン(株))

解説図 16 ブロックダイヤグラム

(2) 注意事項

- a) 触針の先端形状(R=0.1~10µm)及び触針が表面をトレースする速度に注意する必要がある。
 最小トレース速度:2.5µm/sec(トレース方向分解能:50nm)
 最大トレース速度:500µm/sec(トレース方向分解能:500nm)
- b) 接触圧力が微弱であるため、外部からの振動(床及び機器振動,空気流振動,音圧振動)を受けや すく、防振対策が必要である。測定期間中の温度変動にも注意する。

ノイズレベル<0.03nm RMS

(3) 一般注意事項 通常バルクウェーハの表面マイクロラフネスは、光の散乱や干渉を利用した手法で評価されている。この手法を SOI ウェーハに応用したとき、埋め込み酸化膜から反射される光の影響で、 最表面のマイクロラフネスの評価は現在のところ成功していない。言いかえれば、埋め込み酸化膜からの反射光強度を極小にすることによって、光によるラフネス評価が将来可能であると考える。

5.5.3 推奨される測定方法本仕様では、ラフネスの評価方法として、AFM(Atomic Force Microscope)法を推奨する。AFM 法によるラフネス評価結果としては、「測定領域の大きさ」と「Ra 値」を示すこととする。また評価データの校正は、JEITA EM-3505 に基づいて行う。

5.6 残留応力

5.6.1 ラマン分光法

(1) **測定原理**⁹ ラマン散乱は,試料に入射した光が結晶の格子振動で変調を受け,元の波長と異なる波 長の光が放出される現象で,この波長の変化量は,格子振動のエネルギーに対応している。一方,格 子振動のエネルギーは,結晶に掛かっている応力に対応して変化するため,波長の変化量から結晶に 掛かっている応力を見積ることが可能となる。

入射光とラマン散乱光の変化量は,結晶に掛かる応力が小さければ比例関係があり,圧縮応力が掛 かった場合には大きく,引張り応力が掛かった場合には小さくなる。 等方的な応力が掛かっている場合は、1 cm⁻¹は 7×10^8 Pa の関係がある。二次元的な応力が掛かっている場合には、3 重に縮退しているラマンバンドが二つに分解し、それぞれ doublet と singlet で、1 cm⁻¹ は 3×10^8 Pa、1 cm⁻¹ は 4×10^8 Pa となる。



解説図 17 ラマン分光法原理図

- (2) 注意事項
 - a) 入射光の Si への侵入長と SOI 層の膜厚を考慮し、ラマン信号を解析する必要がある。入射光の Si への侵入長が、SOI 層の膜厚より大きければ、SOI 層からのラマン信号に Si 基板からのラマン信号 が重なるため、分離が必要となる。この場合、測定スペクトルを二つのローレンツ成分に分離でき なければ、残留応力は 3×10⁸Pa 以下と見積もることができる。
 - b) SOI 構造による熱の逃げの悪さからサンプルヒーティングの起こる可能性があり、入射パワーを極 力抑えることが必要である。入射パワーを変化させてシフト量を測定することによって、サンプル ヒーティング量を見積もることができる。
- 5.7 接着強度
- 5.7.1 引張り法
- (1) **測定原理** 接合面を剥離させるように接合面に対し垂直に力を加え,剥離時に加えた引張り強度(通常:Kgf/cm²)を接着強度と定義し評価する。

解説図 18 で示すように SOI 層に接着剤(例:エポキシレジン)で引張り治具を固定し,試料は水 平に試料台に固定させ,治具を接着面が剥離するまで接着面に対し垂直に引っ張る。



解説図 18 引張り法による接着強度測定

(2) 注意事項

- a) 剥離面が接着剤界面又はシリコン塊断面といったように接合界面でない場合,接合強度はその時に 得られた引張り力でなく,それ以上と判断する。接着剤強度の最大値が,本手法の評価上限となる。
- b) 試料切り出しでは, 歪みが引張り治具接着面に達しないよう, 治具に対し大きめの寸法で試料作り を行う。

例:治具の接着面径	$a=2.7$ mm ϕ
試料台の窓の大きさ	$b=4.0$ mm ϕ
試料の大きさ	$c=7.0mm\Box$
試料台の外径	7.5mm ϕ

5.7.2 HF 腐食法

- (1) 測定原理 接合劈開断面を定められた条件で HF 液に浸漬し, HF 液にて腐食された接合面の浸透深さ を顕微鏡などで測定して,これを相対的接着強度として評価する。
- (2) 注意事項
 - a) 接合断面の歪みが極小となるよう,機械的切断を避け,結晶劈開面を使用する。
 - b) HF 浸漬条件が一定になるよう液温,液濃度,浸漬時間などの条件を定める。また,ばらつきが補 正できるように、レファレンスサンプル(例:表面を保護した熱酸化膜界面)を比較用として用い る。
- 5.7.3 粘着テープ法
- (1) **測定原理** ウェーハ表面に粘着テープを張り付けたあと引き剥がす。このとき,接着力の弱い領域の Si層が粘着テープとともに剥離する。これによって、ウェーハ全域の弱接着領域の場所、大きさ、数 を数値化する接着強度測定方法である。⁷⁾

ウェーハを真空チャックで固定したあと、ローラー型の粘着テープを押し付ける。次に、ウェーハ 全域でローラを移動させる。



解説図 19 粘着テープ法原理図



解説図 20 粘着テープ法による測定

(2) 注意事項

- a) 真空チャックが十分に強くないと、ウェーハが破壊することがある。
- b) 粘着テープは, 測定毎に取り替える。
- c) ウェーハ表面を保護する必要がある場合には、フォトレジスト(例えば、ポジタイプ、ハードベーク) 塗布が有効である。
- d) 検出可能な弱接着領域の大きさには膜厚依存性がある。例えば, Si 層の厚さは 1 µ m 以下が望ましい。
- e) 剥離領域の計測と記録には, 魔鏡が有効である。

5.7.4 急加熱法

(1) 測定原理 SOI ウェーハを底面から急加熱し, Si 層と支持基板間の熱膨張の差による応力で弱接着領域の Si を塑性変形的に剥離させる。これによって、ウェーハ全域で弱接着領域の場所、大きさ、数を数値化する接着強度測定方法である。

200~300℃に加熱した熱伝導性の良い台の上に SOI ウェーハを置き, Si 層に発生する膨れを魔鏡で 計測する。



解説図 21 急加熱法による測定

- (2) 注意事項
 - a) 加熱台はクリーンで熱伝導のよいものを用いる(例えば, SiCコートしたカーボンなど)。
 - b) 検出可能な弱接着領域の大きさには膜厚依存性がある。例えば, Si 層の厚さは 1 µ m 以下が望ましい。
 - c) 剥離した Si 片が飛散することがある。
 - d) 加熱台の温度が高い程,検出感度が向上する。
 - e) ウェーハに 50 µ m 以上の反りがある場合には,真空チャック付加熱台を用いる。

5.7.5 推奨される測定方法 本仕様では,接着強度の評価方法として,引張り法を推奨する。具体的な測定条件は 5.7.1 項の規定による。

- 5.8 ボイド
- 5.8.1 赤外干涉法
- (1) **測定原理** SOI ウェーハを透過してくる波とボイド両端で反射され透過してくる波との干渉縞によっ てボイドの有無を検出する。波の干渉が生じる条件は、ボイドのギャップ幅を d、用いる波長を λ と すると、2d=n λ/2 (n=1, 2, ...) となる。





解説図 22 赤外干渉法の原理図

- (2) 注意事項
 - a) 光が SOI ウェーハを透過するためには、波長が 1.1 µm 以上の赤外光を用いる必要がある。
 - b) 低抵抗率(0.02Ω cm以下)ウェーハでは、赤外光の透過光の吸収のため測定が不可能である。
- 5.8.2 超音波探傷法
- (1) 測定原理 ボイド両端で反射される音波の伝達時間の違いを検出する。SOI ウェーハの所定の深さに 相当する範囲にゲートをかけ信号を取り出すことによって、その深さにおける反射信号が得られる。 水中で測定を行うと、音響レンズによって超音波ビームを絞ることができ位置分解能が向上する。
- (2) 注意事項
 - a) 水中での測定のため、結合強度の弱い SOI ウェーハの測定は適さない。
 - b) 薄い SOI 層(10µm以下)では、ウェーハ表面からの反射と結合界面からの反射を分離できないた め測定は適さない。
 - c) 検出可能なボイドギャップ幅は、用いる音波の周波数に依存する。検出可能なボイド径は、用いる 音源や受信部の寸法に依存する。一例として、75MHzの周波数を用いた場合、ボイドギャップ幅 5nm、ボイド径 50 µ m が検出可能である。



解説図 23 超音波探傷法の原理図

5.8.3 魔鏡法

(1) 測定原理 ボイド発生によって、その位置に対応した SOI ウェーハ表面に生じたふくらみをハロゲン 光又はキセノン光を用いて検出する。SOI ウェーハ表面の凹部で反射された光は、スクリーン上に集 光され明るい(白)像を結像し、SOI ウェーハ表面の凸部で反射された光は暗い(黒)像を結像する。 この白黒の濃淡からボイドの存在を検出する。



解説図 24 魔鏡法の原理図

(2) 注意事項

- a) SOI ウェーハ表面が鏡面であること。
- b) SOI ウェーハ表面にふくらみを生じない微小ボイドは測定不可能である。
- c) ボイドの検出感度は、光源と試料、試料とスクリーンとの距離に依存する。
- 5.8.4 X線トポグラフィ法(ラング法)
- (1) 測定原理 SOI ウェーハを透過した X 線をスリットで切り, SOI ウェーハで回折された X 線のみをフィルム上で撮影する。回折 X 線強度はボイド発生に伴う格子歪によって増幅され,ボイド検出が可能 となる。SOI ウェーハとフィルムを同時に往復移動することによって,SOI ウェーハ全体からの回折 像を得る。



解説図 25 X線トポグラフィ法(ラング法)の原理図

(2) 注意事項 格子歪みは SOI 層が薄くなると小さくなるため,厚膜 SOI 層ウェーハにおけるボイド検出 に適している。

5.8.5 推奨される測定方法 本仕様では、ボイドの評価方法として、超音波探傷法を推奨する。具体的な 測定条件は 5.8.2 項の規定による。

- (1) ボイドとは、Siと酸化膜界面が解離して空隙が発生しているものを指し、接着強度テストによる剥離 とは区別する。
- (2) ボイドは SOI ウェーハ出荷時点では評価できないため, SOI ウェーハ製造工程中で認知できるものまでとする。
- 5.9 ピンホール

5.9.1 銅析出法

- (1) 测定方法 銅析出法 (電解液:硫酸銅)
- (2) 測定原理 SOI 層を露出した SOI ウェーハをカソード電極の上に乗せ、アノード電極(銅)を SOI 層 表面上方に固定し、これらを硫酸銅(CuSO₄)水溶液中に浸漬し、電圧を印加する。銅は酸化膜のリ ーク欠陥部直上の SOI 層表面に析出する。銅析出物の数を計数することによって埋込酸化膜のピンホ ールの数が測定される。



解説図 26 銅析出法の原理

(3) 注意事項

- (3-1) 電解液として硫酸銅水溶液を用いる場合
 - a) CuSO₄の濃度は、埋め込み酸化膜の厚さによって適切な濃度を選ばなければならない。埋め込み酸 化膜厚が 100nm 程度の場合には 0.1molar 以下が、400nm 程度の場合には 1.3molar 程度がよい。
 - b) 印加電圧は埋込酸化膜にかかる電界として 1MV/cm程度が適当である。
 - c) 硫酸銅水溶液は濾紙等に染み込ませて保持してもよい。
- (3-2) 電解液としてメタノールと硝酸銅を用いる場合
 - a) メタノールへの銅の溶解方法
 - i) アノード電極の銅板から溶解させる方法 酸化膜付きのダミーウェーハを入れて,酸化膜厚換算で 5MV/cm程度の電圧を印加して,蛍 光灯光照射下で 30 分程度おく。
 - ii) 硝酸銅を溶かす方法
 - メタノール中に硝酸銅(CuNO₃)を溶かす。濃度は0.05molar以下がよい。
 - b) 析出時は光照射(蛍光灯で可)をする。
- c) 銅が析出する電界にはしきい電界があり、25nmの酸化膜の場合、3.5MV/cm以上で析出が始まる。
- (4) 特徴
- (4-1) 電解液として硫酸銅水溶液を用いる場合

操作が簡単である。高い電圧を印加すると銅が全面的に析出するので、ウィークスポットの検出には向 かない。 (4-2) 電解液としてメタノールと硝酸銅を用いる場合

高い電圧印加してもリーク部のみに銅が析出するので、ウィークスポットの検出も可能である。

5.9.2 MOS キャパシタ法

(1) 測定原理 ドーピングして低抵抗化した SOI 膜(ゲート電極)と埋め込み酸化膜,基板で MOS キャパシタを形成する。その MOS キャパシタの基板 - ゲート電極間に電界で1~2MV/cmに相当する電圧 を印加し,電流を測定する。電流が例えば1µA以上の場合,その MOS キャパシタはピンホールによ る不良とする。種々の面積の MOS キャパシタについて良キャパシタ率を求める。ピンホールが均一 に分布していると仮定すると,次の式からピンホール密度が算出される。

$P = \exp(-D \cdot S)$

ここで、P: 良キャパシタ率、D: ピンホール密度、S: MOS キャパシタの電極面積



解説図 27 MOS キャパシタ法の原理図

(2) 注意事項 予想されるピンホール密度にあわせて MOS キャパシタの電極面積を適切にとること。例 えば、ピンホール密度が 0.1 個/cm²程度の場合、0.001~1cm²の範囲の電極を数種類用いるとよい。

5.9.3 推奨される測定方法 実際に用いる方法とその測定条件については, ウェーハ供給側とユーザ側の 協議事項とする。

5.10 N_{FB}

5.10.1 MOS キャパシタ法

(1) 測定原理 ドーピングして低抵抗化した SOI 膜(ゲート電極)と埋め込み酸化膜,基板で MOS キャパシタを形成する。その MOS キャパシタのゲートバイアスと高周波容量との関係を測定し、その C-V 曲線と理想的な理論 C-V 曲線とを比較してフラットバンド電圧のシフト量(ΔV_{FB})を求め⁸⁾、次の式から固定電荷密度(N_{FB})を算出する。

 $N_{FB} = (C_{OX} / qS) \Delta V_{FB}$


解説図 28 MOS キャパシタ法の原理図

- (2) 注意事項 高抵抗基板の場合,基板抵抗の影響を考慮する必要がある。
- 5.10.2 インバージョン型 MOS トランジスタ法
- (1) 測定原理 インバージョン型の MOSFET のしきい値と裏面ゲート電圧との関係曲線(解説図 30) から,裏面ゲートが蓄積状態になったときの裏面ゲート電圧 V^A_{Gb}を求め,次の(1),(2) 式から固定電荷密度 N_{FB}を算出する。⁹⁾

n 基板の場合

$$V^{A}_{Gb} = \Phi_{bMS} - qN_{FB} / C_{ob} - 2 \phi_{B} (C_{b} / C_{ob}) + qN_{A}t_{b} / (2C_{ob})$$
(1)

p 基板の場合

$$V^{A}_{Gb} = \Phi_{bMS} - qN_{FB} / Co_{b} + 2\phi_{B} (C_{b} / C_{ob}) - qN_{D}t_{b} / (2C_{ob})$$
(2)
ここで、 Φ_{bMS} : 裏面ゲートの仕事関数差 ϕ_{B} : フェルミ・ポテンシャル
 N_{A}, N_{D} : SOI 層の不純物濃度 t_{b} : SOI 層の厚さ

A) D		
C _{ob}	: 埋め込み酸化膜の容量	C _b :完全空乏化した SOI 層の容量
q	:素電荷	



解説図 29 インバージョン型 MOS トランジスタ法の原理図



解説図 30 インバージョン型 SOI/MOS トランジスタのしきい値と裏面ゲート電圧との関係

5.10.3 SPV 法

(1) 測定原理 SOI ウェーハの表面からシリコンのバンドギャップエネルギー以上のエネルギーの光を照 射して,過剰のキャリヤを励起して SOI 層の表面及び埋込酸化膜界面でのバンドベンティングをフラ ットにし,その時の表面電位の変化 (SPV)を測定する。表面電位変化から固定電荷密度を算出する。



解説図 31 SPV 法の原理図

- (2) 注意事項
 - a) SPV で求めた固定電荷のキャリブレーションは、バルクウェーハを使い、MOS キャパシタの C-V 測定で求めた固定電荷密度で行う。
 - b) SPV で求まる電荷密度は固定電荷密度,界面電荷密度が含まれる。
 - c) 照射する光の強度は、SPV が十分飽和する強度にする。
 - d) SOI 層の膜厚が最大空乏層幅の2倍より薄い場合には、バンドベンディングの重なりや完全空乏化 が起きる可能性があり、それぞれに適した SPV モデルが必要である。
 - e) 表面電荷密度,埋込酸化膜の下側界面の電荷密度は無視しているが,その影響並びにその排除法に ついては検討が必要である。
- 5.11 汚染
- 5.11.1 原子吸光分析法(AAS/Atomic Absorption Spectrophotometry)^{10,11)}
- (1) 測定原理 通常試料溶液をエアロゾルとしてフレーム(炎)中に導入し、これに光源からの光を通し て原子によるその元素固有の吸光を測定する。



解説図 32 原子吸光分析装置原理図

(2) 注意事項

- a) 正しい測定を行うには、サンプル作成に配慮が必要である。
 - i) シリコンを酸化して酸化膜を HF などの回収液でサンプルとする方式が主に用いられる。回収 の方法の一例として解説図 33 に HF 蒸気分解装置を示す。この時基板は撥水性を示す必要があ る。
 - i) 測定の高感度化のため、回収液は少量とし液滴をウェーハ全面に転がすように操作回収する。
- b) 酸化プロセスによる重金属の再分布,外部からの汚染の混入を防ぐため,酸化は低温プロセス (ECR プラズマ,ステップエッチングなど)を用いる必要がある。
- c) 貴金属は, HF のみでは回収できないので, 他の回収液を用いる必要がある。
 - $Cu : HF H_2O_2$ (HF : $H_2O_2 : H_2O = 1 : 17 : 82$)
 - ・Au, Pt: 王水 $(HNO_3 : HCl=1:3)$



解説図 33 HF 蒸気分解装置

- 5.11.2 誘導結合プラズマ質量分析法(ICP-MS: Inductively Coupled Plasma Mass Spectrometry)¹²⁾
- (1) 測定原理 イオンソースとしての ICP (誘導結合プラズマ)部とそこで生成したイオンを分離測定する MS (質量分析器)部から構成されている。一般に溶液サンプルは、ネブライザで霧化されスプレーチャンバを通った後、トーチと呼ばれる石英管の中に保持されているアルゴンプラズマ中に導入され加熱分解、蒸発、電子化、そしてイオン化される。少数のイオン化ポテンシャルの比較的高い元素 (F, He, Ne, etc.)を除いてほとんどの元素が十分 (90%以上)イオン化される。イオンは真空チャ

ンバに導かれ、質量分析器によって測定される。



解説図 34 ICP-MS 装置原理図

(2) 注意事項

a) サンプル作成には、AAS 法と同様な注意事項が必要である。

b) Feの定量は、質量数が近いArO⁺の存在によって、検出感度が低下するので注意が必要である。

5.11.3 全反射蛍光 X 線分析法(TRXF/Total Reflection X-Ray Fluoresence)¹³⁾

(1) 測定原理 X線が全反射を起こすように、ウェーハに対してX線を低角に入射し、蛍光X線のエネル ギーとそのX線強度を測定することによって、元素を固定してその量を求める。通常のX線入射角は 0.1°以下である。



解説図 35 全反射蛍光 X 線装置原理図

(2) 注意事項 X線の入射角度の変化によって、深さ方向の情報が得られるが定量化は困難である。この ためステップエッチを併用しない場合は、試料の表面の分析に適用される。

5.11.4 推奨する測定方法 本仕様では、シリコン表面の分析には全反射蛍光 X 線法(TRXF)、基板内部 の分析には原子吸光分析法(AAS)又は誘導結合プラズマ質量分析法(ICP-MS)を推奨する。

5.12 ライフタイム

5.12.1 *μ*-PCD 法¹⁴⁾

(1) 測定原理 光パルスによって試料中に発生した過剰キャリアは試料導電率を増加させ、それらが再結合によって消滅するのに伴い導電率は減少する。この変化は反射マイクロ波光導電減衰法によってモニタすることができ、反射マイクロ波パワーの時間変化を解析することによって再結合ライフタイムを求めることができる。再結合ライフタイムは禁制帯中に不純物準位を形成する金属不純物や欠陥な

どが存在すると減少する。再結合ライフタイムの解析から、試料中の金属不純物や結晶欠陥などの評価を行うことができる。

- (2) 注意事項
 - a) 実効再結合ライフタイム τ eff は次式で表される。

$$\frac{1}{\tau_{eff}} = \frac{1}{\tau_B} + \frac{1}{\tau_s + \tau_D}$$
$$\tau_s = \frac{d}{2S}, \quad \tau_D = \frac{d}{\pi^2 D}$$

(τ_{B} =バルクライフタイム, τ_{S} =表面再結合ライフタイム, *S*=表面再結合速度, *d*=ウェーハ厚, τ_{D} =拡散ライフタイム, *D*=拡散係数)

SOI ウェーハにおいては、SOI 層の厚さdがバルクウェーハに比べ非常に薄いため、測定されるラ イフタイム τ_{eff} は厚さdの影響を受ける。

また、前記表面再結合ライフタイム τ_s は SOI ウェーハにおいては埋込酸化膜界面での再結合を 考慮する必要があるため、

$$\tau_{S} = \frac{d}{S_{Si/Box} + S_{Si}}$$

 $(S_{Si/Box} = 埋込酸化膜界面での再結合速度, S_{Si} = シリコン表面での再結合速度)$ と考える必要がある。

- b) SOI 層表面再結合速度を下げるため、表面処理を行う必要がある。
- c) SOI ウェーハの場合, SOI 層のライフタイムを測定するためには, SOI 層のみにキャリアが発生す るような光源の波長を選ぶ必要がある。以下に波長と侵入深さ(光強度が 1/e に減衰する距離)の 関係を示す。

波長	(nm)	侵入深さ	(µ m)
450		~ 0.8	
532		~1.4	
635		~3.0	
670		~4.0	
780		$\sim \! 10.0$	
820		~14.0	
850		~18.0	

- d) レーザーでの注入キャリア濃度は、SOI 層と埋込酸化膜との界面での影響を可能な限り避ける場合 は、SOI 層の不純物濃度より低い注入レベルが望ましい。
- 5.12.2 SPV 法
- (1) 測定原理 光の照射によって過剰キャリアを発生させると、発生した少数キャリアが空乏層側に移動 蓄積して表面の障壁高さを変化させる。このとき得られる表面電位の変化量ΔVは光の波長、すなわ ち光の侵入深さに依存する。光の吸収係数をα、光の照度をΦ、拡散長をLとすると

$$\frac{\Phi}{\Delta V} = C \left(L + \frac{1}{\alpha} \right) \qquad \cdots (1) \quad (C は定数)$$

の関係があるため、何種類かの光の波長に対して $\Phi/\Delta V \ge 1/\alpha$ に対しプロットし、各点を結んだ直線 を外挿して $\Phi/\Delta V=0$ となる $-1/\alpha$ の値から拡散長が得られる。

ライフタイム τ は拡散定数を D として次式を用いて求める。

$$L = \sqrt{D\tau}$$

(2) 注意事項

- a) 測定に際して SPV 法では表面に空乏層もしくは反転層を形成する必要がある。また、表面状態を安定させるため、例えば、p型では HF 処理、n型では H₂O₂処理の後、水洗、乾燥、1 日放置することが望ましい。
- b) ①式はウェーハの厚さをT,表面に形成される空乏層もしくは反転層の厚さをWとして T>4L, αT>>1,L>>W

を仮定して近似しているため、測定したライフタイムは SOI 層の厚さ依存性がある。

c) μ-PCD 法同様, SOI 層のみにキャリアを発生させるような光源の波長を選ぶ必要がある。

5.12.3 推奨される測定方法

本仕様では厚い SOI 層の場合にライフタイム測定方法として µ-PCD 法を推奨する。

参考文献

- SEMI MF 1390 "Standard Test Method for Measuring Warp on Silicon Wafers by Automated Noncontact Scanning"
- 2) 95-基-18 多層集積技術動向に関する調査研究報告 IV, (II-25) (1995)
- 3) J.-P.Colinge, "Silicon-on-Insulator Technology", Kluwer Academic Publisher, 1991
- 4) M.E.El-Ghazzawi,et.al., Thin Solid Films, 233 (1993) 218-222.
- 5) D.Bruggeman, Ann. Phys, Leipzig, 24 (1935) 636.
- 6) Opt. Spectrosc. (USSR) 43 (2), p.145 (1977)
- 7) JIS K 6854-1,-2,-3,-4
- 8) E.H.Nicollian and J.R.Brewes, "MOS Physics and Technology" p.477~489, 1982, JOHN WILEY & SONS (New York)
- 9) S.Masui et al., Proceedings 1994 IEEE International SOI Conference.p.83 (1994)
- 10) 渡辺, 辻, 石谷, 下野, 信学技報 SDM91-159 (1991)
- 11) 渡辺, 吉野, 小比木, 北島 信学技報 SDM95-274 (1996)
- 12) 小館,町出,今井,田中, 薮本, 信学技報 SDM95-275 (1996)
- 13) 小館,町出, 今井, 田中, 薮本, 信学技報 SDM95-275 (1996)
- 14) 95-基-17 シリコンウェーハの反射マイクロ波光導電減衰法による再結合ライフタイム測定 方法(1997)

6. JEITA EM-3604 審議委員会の構成表

情報処理標準化運営委員会

委	員	長	柴	田	彰	(㈱デンソーウェーブ

シリコン技術委員会

委	員	長	田	島	道	夫	JAXA 宇宙科学研究本部
幹		爭	金	Ц	敏	彦	產業技術総合研究所
Ŧ	同	-	小	Щ		浩 上	日本電子 (株)
娈		員	井	上	直	八	大阪府立大学
	同		小	椋	厚	志	明治大学
	同		宮	崎	守	Æ	三菱住友シリコン㈱
	同		福	田	哲	生.	富士通㈱
	同		松	本	行	雄	アクセント オプティカル テクノロジーズ(株)
	同		北	野	友	久	NECエレクトロニクス(株
	同		辻	村		学	㈱荏原製作所
	同		江	口	公	平	エム・イー・エム・シー (株)
	同		内	田	英	次	沖電気工業㈱
	同		進	藤	健	-	黒田精工(株)
	同		中	井	康	秀	(株)コベルコ科研
	同		河	野	光	雄	コマツ電子金属㈱
同		匹	戸	敬	昭	シルトロニック・ジャパン (株)	
	同		竹	中	卓	夫	信越半導体㈱
	同		滝	澤	律	夫	ソニー(株)
	同		藤	野	誠		(株)デンソー
	同		宮	下	守	也	(㈱)東芝
	同		松	下	嘉	明	東芝セラミックス(株)
	同		磯	崎		次	(株) トプコン
	同		吉	瀬	Æ	典	日本エーディーイー(株)
	同		渡	辺	Æ	晴	日本エスイーゼット(株)
	同		中	嶋	定	夫	(株)日立国際電気
	同		有	本	由	弘	㈱富士通研究所
	同		吉	住	恵		松下電器産業㈱
	同		大	石	博	司	松下電器産業㈱
	同		片	浜		久	三菱住友シリコン㈱
	同		河	合	直	行	(株)ルネサステクノロジ
	同		坂		秀	男	(株) レイテックス
顧		問	垂	井	康	夫	武田計測先端知財団
事	務	局	中	瀬		真	(社)電子情報技術産業協会
-	同		高	梨	健	_	(社)電子情報技術産業協会

SOI ウェーハ関連技術専門委員会

委	員	長	小	椋	厚	志	明治大学	
幹		事	門		勇		日本電信電話㈱	
幹		事	井	田	次	郎	沖電気工業㈱	
幹		事	松	村	篤	樹	シルトロニック・ジャパン(株)	
幹		事	Ξ.	谷		清	信越半導体㈱	
幹		事	木			博	日本エーディーイー㈱	
幹		事	服	部	信	美	㈱ルネサステクノロジ	
委		員	河	村	誠−	一郎	產業技術総合研究所	
	同		田	中	雅	己	アクセント オフ゜ティカル テクノロシ゛ース゛(株)	
	同		冨	山	智	彦	NECエレクトロニクス㈱	
	同		柳	井	秀	敏	エム・イー・エム・シー㈱	
	同		住	江	伸	吾	㈱コベルコ科研	
	同		今	井	正	人	コマツ電子金属(株)	
	同		岩	森	則	行	㈱デンソー	
	同		中	Ш	明	夫	㈱ 東 芝	
	同		泉	妻	宏	治	東芝セラミックス㈱	
	同		磯	崎		久	(株)トプコン	
	同		渡	辺	正	晴	日本エスイーゼット㈱	
	同		中	嶋	定	夫	㈱日立国際電気	
	同		中	西	俊	郎	㈱富士通研究所	
	同		粉	谷	直	樹	松下電器産業㈱	
	同		久	保	圭	司	松下電器産業㈱	
	同		Щ	本	<u> </u>	弘	三菱住友シリコン㈱	
客		員	泉		勝	俊	大阪府立大学	
	同		田	島	道	夫	JAXA 宇宙科学研究本部	
	同		小	Щ		浩	日本電子㈱	
事	務	局	高	梨	健	-	(社)電子情報技術産業協会	



Standard of Japan Electronics and Information Technology Industries Association

JEITA EM-3604

Standard specification for thick film SOI wafers

Established in February 2005

Prepared by

Silicon Technologies Committee

Managing Committee on Information Technology Standardization

Published by

Japan Electronics and Information Technology Industries Association

11, Kanda-Surugadai 3-chome, Chiyoda-ku, Tokyo 101-0062, Japan

Printed in Japan

This document is a translation without guarantee. In the event of any doubt arising, the original standard in Japanese is to be evidenced.

JEITA standards are established independently to any existing patents on the products, materials or processes they cover. JEITA assumes absolutely no responsibility toward parties applying these standards or toward patent owners.

2002 by the Japan Electronics and Information Technology Industries Association

All rights reserved. No part of this standard may be reproduced in any form or by any means without prior permission in writing from the publisher.

Contents

Preface 1
1. Scope
2 Specification 2
2.1 Specification of Bonded SOI Wafer for Bipolar/BiCMOS Devices
2.2 Specification of Bonded SOI Wafer for Power Devices
2.2.1 Specification of Bonded SOI Wafer for 40-60V Power Devices (40-60V MOSFET)
2.2.2 Specification of Bonded SOI Wafer for 40-60V Power Devices (40-60V MOSFET with n + Buried
Layer) 4
2.2.3 Specification of Bonded SOI Wafer for 150V Power Devices (150V MOSFET/IGBT)
2.2.4 Specification of Bonded SOI Wafer for 250V Power Devices (250V MOSFET/IGBT)
2.2.5 Specification of Bonded SOI Wafer for 500-600V Power Devices (500-600V MOSFET/IGBT) ·····7
Explanatory note on Standard specification for thick film SOI wafers

Standard of Japan Electronics and Information Technology Industries Association

Standard specification for thick film SOI wafers

Preface The membership of the SOI Wafer and Related Technologies Committee (hereafter referred to as the Committee), which belongs to the Silicon Technologies Committee of the Japan Electronics and Information Technology Industries Association (JEITA), consists of wafer manufacturers, device manufacturers, and measurement instrument manufacturers. Since SOI (Silicon-on-Insulator) wafers and related material are indispensable for high function and high performance devices, the main activities of the Committee are to survey the technology comprehensively and to specify its quality and measurement methods. Once specified, popularization and revision for updates are also parts of activities.

One of the recent good results was the establishment of a new standard for thin film SOI wafers, **JEITA EM-3603**, entitled "SOI wafer standard and standard measurement method" published in September 2003. This specification was prepared for use with a leading edge CMOS LSI and is under consideration as a proposal to international silicon committees, such as SEMI, as a basic agreement on SOI quality and its measurements.

JEITA EM-3603 is established formally as a revision of the former JEIDA-50-1998, which was withdrawn after the establishment of EM-3603. However, in fact, JEIDA-50-1998 specified not only thin film SOI wafers for CMOS-LSI but also thick film SOI wafers for power devices and Bipolar/BiCMOS. Thus, the influence of this withdrawal on the industry was reinvestigated. As a result, many members of the Committee replied: "The part related to thick film SOI wafers in JEIDA-50-1998 is used as an 'active standard' in the current semiconductor industry and should remain effective now and in the future."

Accordingly, the Committee recognized its importance and decided to establish the new JEITA EM-3604, entitled "Standard specification for thick film SOI wafers" by excerpting the part related to thick film SOI wafers from JEIDA-50-1998.

1. Scope This specification applies to the standard for bonded SOI wafers for Bipolar/BiCMOS and for power devices.

2 Specification

2.1 Specification of Bonded SOI Wafer for Bipolar/BiCMOS Devices

	Property	Values		Units	Recommendable Metrology
	Diameter	125, 150, 200		mm	
all)	Diameter Tolerance	± 0.2	20	mm	
	Thickness	[B]		μm	
ver	Warp	≤ 30 ((¹)	μm	SEMI MF 657-92, MF 1390-02
Wafer (or	Total Thickness Variation	[B]		μm	
	Edge Exclusion	< 2 (⁽²)	mm	
	Edge Profile/	(6)			
	Edge Profile Surface Finish	()			
	Thickness	1.5 ~ 2	2.0	μm	Spectroscopic Ellipsometry or
	Thickness Tolerance	± 0.3	(3)	μm	Reflective spectroscopy
	Surface Orientation	(100), (111) ± 1 °	_	
	Resistivity	0.1 ~ 1, 10	0 ~ 30	Ω·cm	
	Conductivity Type	P, N	[—	_
ilm	Oxygen Concentration	[B]((4)	/cm ³	SEMI MF 1188-02
n F	Carbon Concentration	[B]((4)	/cm ³	SEMI MF 1391-93
ilic	Metal Contamination	[B]		/cm ²	AAS, ICP-MS, TXRF
S	Particle Density	[B]		/wafer	Light Scattering method
	Surface Roughness	[B]		nm	AFM
	Residual Stress	Substitution f	for WARP	—	
	OSF Density	[B]		/cm ²	
	Void Density (⁷)	0		/wafer	Scanning acoustic method
	Thickness	0.2 ~ 1	1.0	μm	Spectroscopic Ellipsometry or
	Thickness Tolerance	± 5		%	Reflective spectroscopy
Oxide	Adhesion Strength	equivalent to Interface be and sili	etween thermal Oxide con	kg/cm ²	Tensile testing method (⁵)
ied	Surface Roughness	equivalent to Th	ermal Oxide	nm	
Bur	Dielectric Constant	equivalent to Th	ermal Oxide	_	
	Dielectric Breakdown	equivalent to Th	ermal Oxide	MV/cm	
	Fixed Charge Density	(⁶)		/cm ²	
	Surface Orientation	(⁶)		_	
	Resistivity	(⁶)		Ω·cm	
	Conductivity Type	P, N	[_	
afeı	Fiducial Axis Orientation	נמז			
e W	(Orientation Flat/Notch)	[D]			
Bas	Oxygen Concentration	(6)		/cm ³	SEMI MF 1188-02
	Carbon Concentration	(6)		/cm ³	SEMI MF 1391-93
	Metal Contamination	[B]		—	AAS, ICP-MS
	Back Surface Finish	[B]		—	

[B]: same value as prime wafer

(¹) The value of warp is for the case of 150mm in diameter. It is proportional to wafer diameter.

(²) Values expected by wafer user.

(³) See text.

(⁴) To be determined by negotiation between wafer users and wafer makers.

 $(^{5})$ For the case of SOI thickness thicker than 1µm.

(⁶) Properties with blank value are determined by agreement between wafer makers and wafer users.

(⁷) Category has been changed from "Buried Oxide" to "Silicon Film"

2.2 Specification of Bonded SOI Wafer for Power Devices

2.2.1 Specification of Bonded SOI Wafer for 40-60V Power Devices (40-60V MOSFET)

	1			<u> </u>	,
	Property	Valu	ues	Units	Recommendable Metrology
	Diameter	125, 15	0, 200	mm	
	Diameter Tolerance	[B]	± 0.2	mm	
er all)	Thickness	[B] + (SOI Thickness) + (Box thickness)	[B]	μm	
(ov	Total Thickness Variation	[E	3]	μm	
afer	LTV	[E	3]	μm	
W	Warp	$\leq 50 (^{1})$	$\leq 30 (^{1})$	μm	SEMI MF 657-92, MF 1390-02
	Edge Exclusion	<	2	mm	
	Edge Profile/Edge Profile Surface Finish	(2)		
	Thickness	2~12	$0.1 \sim 0.5$	μm	(³)
	Thickness Tolerance	± 10 (⁴)	± 5	%	(³)
	Surface Orientation	(100)	± 1		
	Resistivity	$0.5 \sim 50$	$10 \sim 100$	Ω·cm	
	Conductivity Type	N,	Р		
ш	Oxygen Concentration	[E	$B](^{2})(^{5})$	/cm ³	SEMI MF 1188-02
Fil	Carbon Concentration	[E	$B](^{2})(^{5})$	/cm ³	SEMI MF 1391-93
con	Metal Contamination	[E	3]	/cm ²	AAS, ICP-MS, TXRF
Sili	Particle Density	[E	3]	/wafer	Light cattering method
	Surface Roughness	[E	3]	nm	
	Residual Stress	Substitution	for WARP	_	
	OSF Density	[E	B](²)	/cm ²	
	Dislocation Density	[E	B](²)	/cm ²	
	Carrier Lifetime	(2)		μsec	μ-CPD method
	Thickness	0.5 ~ 2	$0.4 \sim 1.0$	μm	Spectroscopic Ellipsometry or
	Thickness Tolerance	±	5	%	Reflective spectroscopy
)xide	Adhesion Strength	equivalent to Interface l and si	between thermal Oxide licon	kg/cm ²	Tensile testing method(⁶)
od C	Location of Bonded Interface	Bottom	Surface	_	
urie	Void Density	0		/cm ²	Scanning acoustic method
В	Dielectric Constant	equivalent to T	hermal Oxide	_	
	Dielectric Breakdown	equivalent to T	hermal Oxide	MV/cm	
	Fixed Charge Density	(2)	/cm ²	
	Surface Orientation	Not spe	ecified	_	
	Resistivity	1~	50	Ω·cm	
	Conductivity Type	P,	N	_	
Wafeı	Fiducial Axis Orientation	[E	3]	_	
ase	Ovugen Concentration	(2)	/cm ³	SEMI ME 1188-02
Bį	Carbon Concentration	()	/cm ³	SEMI WI 1100-02 SEMI ME 1301_03
	Metal Contamination	(()	<i>)</i> 1	/0111	AAS ICP-MS
	Rock Surface Finish	ם]ם	ני ו		
	Dack Suitace FIIIISII	L [E	']		

[B]: same value as prime wafer

The value of warp is for the case of 150mm in diameter. It is proportional to wafer diameter. To be determined by negotiation between wafer users and wafer makers.

 $\binom{1}{\binom{2}{\binom{3}{\binom{3}{2}}}}$ Spectroscopic Ellipsometry or Reflective spectroscopy is recommended for silicon layer of less than a few µm (about 7μm), Spectroscopic Ellipsometry or FT-IR for silicon layer of more than a few μm (about 7μm).

⁽⁴) Tolerance of $\pm 0.5 \mu m$ is recommended for silicon layer of less than a few μm (about $7 \mu m$),

Tolerance of $\pm 1.0 \mu m$ for silicon layer of more than a few μm (about $7\mu m$).

(⁵) (⁶) Values before bonding.

For the case of SOI thickness thicker than 1µm.

	-			• /
	Property	Values	Units	Recommendable Metrology
	Diameter	125, 150, 200	mm	
	Diameter Tolerance	[B]	mm	
Wafer (over all	Thickness	[B] + (SOI Thickness) + (Box thickness)	μm	
	Total Thickness Variation	[B]	μm	
	LTV	[B]	μm	
	Warp	≤ 50 (¹)	μm	SEMI MF 657-92, MF 1390-02
	Edge Exclusion	< 2	mm	
	Edge Profile/Edge Profile Surface Finish	(2)	_	
	Thickness	8~16	μm	(³)
	Thickness Tolerance	± 10 (⁴)	%	(³)
	Surface Orientation	$(100) \pm 1$	_	
	Resistivity	0.4 ~ 10	Ω·cm	
	Conductivity Type	N	_	
	Oxygen Concentration	[B](²)(⁵)	/cm ³	SEMI MF 1188-02
ilm	Carbon Concentration	$[B](^{2})(^{5})$	/cm ³	SEMI MF 1391-93
n F	Metal Contamination	[B]	/cm ²	AAS, ICP-MS, TXRF
lico	Particle Density	[B]	/wafer	Light Scattering method
Si	Surface Roughness	[B]	nm	
	Residual Stress	Substitution for WARP	_	
	OSF Density	[B](²)	/cm ²	
	Dislocation Density	[B](²)	/cm ²	
	Carrier Lifetime	(2)	μsec	μ-PCD method
	Buried Layer	(²)(⁶)	_	
	Thickness	2~3	μm	Spectroscopic Ellipsometry or
	Thickness Tolerance	± 5	%	Reflective spectroscopy
xide	Adhesion Strength	equivalent to Interface between thermal Oxide and silicon	kg/cm ²	Tensile testing method
od C	Location of Bonded Interface	Inside the oxide or Bottom Surface	_	
urie	Void Density	0	/cm ²	Scanning acoustic method
В	Dielectric Constant	equivalent to Thermal Oxide	_	
	Dielectric Breakdown	equivalent to Thermal Oxide	MV/cm	
	Fixed Charge Density	(2)	/cm ²	
	Surface Orientation	Not specified	_	
	Resistivity	1~50	Ω·cm	
	Conductivity Type	P, N	_	
afer	Fiducial Axis Orientation			
Ň	(Orientation Flat/Notch)	[B]	_	
3ast	Oxygen Concentration	(2)	/cm ³	SEMI MF 1188-02
	Carbon Concentration	(2)	/cm ³	SEMI MF 1391-93
	Metal Contamination	[B]	—	AAS, ICP-MS
	Back Surface Finish	[B]	_	

2.2.2 Specification of Bonded SOI Wafer for 40-60V Power Devices (40-60V MOSFET with n + Buried Layer)

[B]: same value as prime wafer

- (¹) The value of warp is for the case of 150mm in diameter. It is proportional to wafer diameter.
- $(^2)$ To be determined by negotiation between wafer users and wafer makers.
- (³) Spectroscopic Ellipsometry or Reflective spectroscopy is recommended for silicon layer of less than a few μm (about 7μm), Spectroscopic Ellipsometry or FT-IR for silicon layer of more than a few μm (about 7μm).
- (⁴) Tolerance of $\pm 0.5 \mu m$ is recommended for silicon layer of less than a few μm (about 7 μm), Tolerance of $\pm 1.0 \mu m$ for silicon layer of more than a few μm (about 7 μm).
- (⁵) Values before bonding.
- (⁶) Recommended Specifications are Sb Dopant, sheet resistivity of $20\Omega/\Box$, diffusion depth of $3\mu m$.

	Property	Values	Units	Recommendable Metrology
	Diameter	125, 150, 200	mm	
	Diameter Tolerance	[B]	mm	
all)	Thickness	[B] + (SOI Thickness) + (Box thickness)	μm	
ver	Total Thickness Variation	[B]	μm	
er (c	LTV	[B]	μm	
Wafi	Warp	$\leq 50 (^{1})$	μm	SEMI MF 657-92, MF 1390-02
Δ	Edge Exclusion	< 2	mm	
	Edge Profile/Edge Profile Surface Finish	(²)	_	
	Thickness	3 ~ 10	μm	(³)
	Thickness Tolerance	± 10 (⁴)	%	(³)
	Surface Orientation	$(100) \pm 1$	—	
	Resistivity	$5 \sim 50$	Ω·cm	
	Conductivity Type	N, P	_	
	Oxygen Concentration	$[B]^{(2)}^{(5)}$	/cm ³	SEMI MF 1188-02
on	Carbon Concentration	$[B]^{(2)}^{(5)}$	/cm ³	SEMI MF 1391-93
Silic	Metal Contamination	[B]	/cm ²	AAS, ICP-MS, TXRF
•1	Particle Density	[B]	/wafer	Light Scattering method
	Surface Roughness	[B]	nm	
	Residual Stress	Substitution for WARP	—	
	OSF Density	$[B](^2)$	/cm ²	
	Dislocation Density	$[B](^2)$	/cm ²	
	Carrier Lifetime	(²)	μsec	μ-PCD method
	Thickness	0.5 ~ 2	μm	Spectroscopic Ellipsometry or
	Thickness Tolerance	± 5	%	Reflective spectroscopy
le	Adhesion Strength	equivalent to Interface between thermal Oxide	kg/cm^2	Tensile testing method
Dxic	Prenesion Strength	and silicon	Kg/elli	
ed (Location of Bonded Interface	Bottom oxide Surface		
Buri	Void Density	0	/cm ²	Scanning acoustic method
	Dielectric Constant	equivalent to Thermal Oxide	_	
	Dielectric Breakdown	equivalent to Thermal Oxide	MV/cm	
	Fixed Charge Density	(²)	/cm ²	
	Surface Orientation	Not specified	_	
	Resistivity	1 ~ 50	Ω·cm	
ч	Conductivity Type	P or N		
Vafe	Fiducial Axis Orientation	[B]	_	
se V	(Orientation Flat/Notch)	[2]		
Ba	Oxygen Concentration	(²)	/cm ³	SEMI MF 1188-02
	Carbon Concentration	(2)	/cm ³	SEMI MF 1391-93
	Metal Contamination	[B]		AAS, ICP-MS
	Back Surface Finish	[B]	—	

2.2.3 Specification of Bonded SOI Wafer for 150V Power Devices (150V MOSFET/IGBT)

[B]: same value as prime wafer

(¹) The value of warp is for the case of 150mm in diameter. It is proportional to wafer diameter.

 $(^2)$ To be determined by negotiation between wafer users and wafer makers.

(³) Spectroscopic Ellipsometry or Reflective spectroscopy is recommended for silicon layer of less than a few μm (about 7μm), Spectroscopic Ellipsometry or FT-IR for silicon layer of more than a few μm (about 7μm).

(⁴) Tolerance of $\pm 0.5 \mu m$ is recommended for silicon layer of less than a few μm (about 7 μm),

Tolerance of $\pm 1.0 \mu m$ for silicon layer of more than a few μm (about $7\mu m$).

(⁵) Values before bonding.

	Bronorty	Values (250V MOSEET/ICPT)	Unita	Pasammandahla Matralagy
	Diamatar	125 150 200	Units	Recommendable Metrology
	Diameter	125, 150, 200	mm	
(II)	Thielmess	[B] [D] + (SOLThielmass) + (Day thielmass)	mm	
afer (over a	Thickness	[B] + (SOI Thickness) + (Box thickness)	μm	
	I TU	[B]	μm	
	LIV	[B] $\leq 70 (1)/2$	μm	SEMI ME (57.02, ME 1200.02
A	Walp Edge Evolution	$ \ge 70()()$	μm	SEMI WF 057-92, WF 1390-02
	Edge Exclusion		IIIII	
	Edge Prome Edge Prome Surface Finish	()		(4)
	Thickness Thickness	$2 \sim 10$	μm	()
	Inickness Tolerance	± 10 (100) ± 1	%	
	Surface Orientation	$(100) \pm 1$	_	
	Resistivity	2 ~ 50	Ω·cm	
	Conductivity Type	N, P	- 3	GEN (I.) (E. 1100.00
_	Oxygen Concentration	[B]([*])([*])	/cm ³	SEMI MF 1188-02
icor	Carbon Concentration	[B]([°])([°])	/cm ³	SEMI MF 1391-93
Sil	Metal Contamination	[B]	/cm ²	AAS, ICP-MS, TXRF
	Particle Density	[B]	/wafer	Light Scattering method
	Surface Roughness	[B]	nm	
	Residual Stress	Substitution for WARP		
	OSF Density	[B](')	/cm ²	
	Dislocation Density	[B](³)	/cm ²	
	Carrier Lifetime	(³)	μsec	μ-PCD method
	Thickness	2~3	μm	Spectroscopic Ellipsometry or
	Thickness Tolerance	± 5	%	Reflective spectroscopy
Dxide	Adhesion Strength	equivalent to Interface between thermal Oxide and silicon	kg/cm ²	Tensile testing method
ed (Location of Bonded Interface	Inside the oxide or Bottom Surface	_	
Buri	Void Density	0	/cm ²	Scanning acoustic method
щ	Dielectric Constant	equivalent to Thermal Oxide	_	
	Dielectric Breakdown	equivalent to Thermal Oxide	MV/cm	
	Fixed Charge Density	(³)	/cm ²	
	Surface Orientation	Not specified		
	Resistivity	$1 \sim 50$	Ω·cm	
	Conductivity Type	P, N		
afer	Fiducial Axis Orientation			
e W	(Orientation Flat/Notch)	[B]		
Bas	Oxygen Concentration	(3)	/cm ³	SEMI MF 1188-02
	Carbon Concentration	(³)	/cm ³	SEMI MF 1391-93
	Metal Contamination	[B]	_	AAS, ICP-MS
	Back Surface Finish	[B]	_	

2.2.4 Specification of Bonded SOI Wafer for 250V Power Devices (250V MOSFET/IGBT)

[B]: same value as prime wafer

(¹) The value of warp is for the case of 150mm in diameter. It is proportional to wafer diameter.

 $(^2)$ 50µm is requested by wafer users.

 $(^{3})$ To be determined by negotiation between wafer users and wafer makers.

(⁴) Spectroscopic Ellipsometry or Reflective spectroscopy is recommended for silicon layer of less than a few μm (about 7μm), Spectroscopic Ellipsometry or FT-IR for silicon layer of more than a few μm (about 7μm).

(⁵) Tolerance of $\pm 0.5 \mu m$ is recommended for silicon layer of less than a few μm (about 7 μm), Tolerance of $\pm 1.0 \mu m$ for silicon layer of more than a few μm (about 7 μm).

(⁶) Values before bonding.

	Property	Values (250V MOSEET/IGRT)	Unite	Recommendable Metrology
	Diameter	125, 150, 200	mm	Recommendable Methology
	Diameter Tolerance	[B]	mm	
Wafer (over all)	Thickness	[B] + (SOI Thickness) + (Box thickness)	um	
	Total Thickness Variation	[B]	um	
	LTV	[B]	um	
	Warp	$\leq 100 (^{1})(^{2})$	μm	SEMI MF 657-92, MF 1390-02
	Edge Exclusion	<2	mm	
	Edge Profile/Edge Profile Surface Finish	(3)	_	
	Thickness	3~17	μm	(⁴)
	Thickness Tolerance	$\pm 10(^{5})$	%	(⁴)
	Surface Orientation	$(100) \pm 1$		
	Resistivity	$5 \sim 50$	Ω·cm	
	Conductivity Type	N, P	_	
	Oxygen Concentration	[B](³)(⁶)	/cm ³	SEMI MF 1188-02
on	Carbon Concentration	[B](³)(⁶)	/cm ³	SEMI MF 1391-93
silic	Metal Contamination	[B]	/cm ²	AAS, ICP-MS, TXRF
01	Particle Density	[B]	/wafer	Light Scattering method
	Surface Roughness	[B]	nm	
	Residual Stress	Substitution for WARP	_	
	OSF Density	[B](³)	/cm ²	
	Dislocation Density	[B](³)	/cm ²	
	Carrier Lifetime	(3)	μsec	μ-PCD method
	Thickness	3~5	μm	Spectroscopic Ellipsometry or
	Thickness Tolerance	± 5	%	Reflective spectroscopy
)xide	Adhesion Strength	equivalent to Interface between thermal Oxide and silicon	kg/cm ²	Tensile testing method
ed C	Location of Bonded Interface	Inside the oxide or Bottom Surface	_	
urie	Void Density	0	/cm ²	Scanning acoustic method
В	Dielectric Constant	equivalent to Thermal Oxide	_	
	Dielectric Breakdown	equivalent to Thermal Oxide	MV/cm	
	Fixed Charge Density	(³)	/cm ²	
	Surface Orientation	Not specified		
	Resistivity	1 ~ 50	Ω·cm	
	Conductivity Type	P, N	_	
afer	Fiducial Axis Orientation	נחו		
e W	(Orientation Flat/Notch)	[B]		
Bas	Oxygen Concentration	(3)	/cm ³	SEMI MF 1188-02
	Carbon Concentration	(3)	/cm ³	SEMI MF 1391-93
	Metal Contamination	[B]	_	AAS, ICP-MS
	Back Surface Finish	[B]		
				[B]: same value as prime wafer

2.2.5 Specification of Bonded SOI Wafer for 500-600V Power Devices (500-600V MOSFET/IGBT)

The value of warp is for the case of 150mm in diameter. It is proportional to wafer diameter.

 $(^2)$ 50 μ m is requested by wafer users.

 $(^{3})$ To be determined by negotiation between wafer users and wafer makers.

(⁴) Spectroscopic Ellipsometry or Reflective spectroscopy is recommended for silicon layer of less than a few μm (about 7μm), Spectroscopic Ellipsometry or FT-IR for silicon layer of more than a few μm (about 7μm).

(⁵) Tolerance of $\pm 0.5 \mu m$ is recommended for silicon layer of less than a few μm (about 7 μm), Tolerance of $\pm 1.0 \mu m$ for silicon layer of more than a few μm (about 7 μm).

(⁶) Values before bonding.

 $(^{1})$

Explanatory note on the "Standard specification for thick film SOI wafers"

This explanatory note is not a part of the standard specification but an appendix for the purpose of better understanding of the main text, annexes, references, and related issues.

1. Object of establishment This standard was established primarily to respond to the problems caused by withdrawal of JEIDA-50-1998, which was actually used but replaced by JEITA EM-3603. Thus, the work gave as much attention as possible to bringing back the content of the part on thick film SOI wafers in JEIDA-50-1998.

It is true that the quality required for thick film SOI wafers as well as manufacturing technologies and measurement technologies changes in a short period. However, the top priority in establishing the standard was to avoid the demerits caused by lack of standards. New requirements arising from updated needs will be reflected through timely revision in future.

2. Background of deliberation At the first meeting of the Technical Committee in the 2003 fiscal year (in December 2003), some members of the Committee questioned the procedure used to establish JEITA EM-3603 and pointed out the adverse effects of the withdrawal of JEIDA-50-1998. All the members were requested to reply regarding the effects of withdrawal of JEIDA-50-1998. Many members replied: "The part related to thick film SOI wafers in JEIDA-50-1998 is used as an active standard at the workplaces of the semiconductor industry. Therefore, withdrawal is not recommended".

The second meeting (in January 2004): Deliberation resulted in establishment of a new JEITA standard which would contain only the part related to thick film wafers in **JEIDA-50**-1998.

The third meeting (in March 2004): The draft incorporating modifications from **JEIDA-50**-1998 was presented. The members discussed the draft and took it back with them for further review by the next meeting.

The first meeting in the 2004 fiscal year (in June 2004): The revised draft was presented and basically approved with minor amendments proposed by each member. After the draft was deliberated in writing by the Silicon Technologies Committee and the Committee, it was established in February 2005.

3. Main revisions from JEIDA-50-1998 This standard basically succeeded JEIDA-50-1998 by excerpting the part related to thick films, by deleting the part related to thin films, and by revising the corresponding technical descriptions. The part related to thin film SOI wafers for CMOS-LSI was established anew in JEITA EM-3603. Referred standards were updated when revised. For example, all ASTM standards were transposed into SEMI standards.

4. Features of this specification This specification is applicable to bonded wafers, to Bipolar/BiCMOS. and to power devices respectively. The standard describes a wide range of items: from the shape of wafers to details of wafer quality. Because SOI wafers are not primary material in comparison with polished silicon wafers, measurement methods to determine the quality depend on the people who are interested in this material. This is why examples of measurement methods and comments are annotated alongside the specification details.

Among the standard items, three items: wafer edge exclusion, SOI layer thickness uniformity, and crystal defect

density, are desirable values proposed by wafer users.

5. Measurement method

5.1 Warpage/TTV/LTV

5.1.1 Electrostatic capacity method ¹⁾

(1) Measurement principle When voltage is applied between a wafer and a probe, the variation of distance between the wafer and the probe is detected as a variation of electrostatic capacity (JIS H 0611). This is the measurement principle. The distance (d) between the wafer and the probe is given by the following formula from the electrostatic capacity (C) and output voltage (V)

$$d = \frac{\varepsilon A}{C} = \frac{\varepsilon A_p \kappa f}{I_p} \cdot V$$

where, C: electrostatic capacity, ɛ: dielectric constant, Ap: probe area, , d: distance,

V: output voltage, f: carrier frequency, and Ip: probe current (constant)

Examples of measurement sensor construction and location of probes at the time of measurement are shown in **Explanatory figures 1 (a)** and **(b)**, respectively.







Note Probe A, B and C of (b) measure the capacity between wafer front and probe, between wafer back and probe, and between datum plane and probe, respectively. D_u and D_L are the distance between Probe A and wafer front and between Probe B and wafer back, respectively.

(2) Remarks

a) The measurement error of thickness and warpage/TTV/LTV of SOI wafers is calculated by referring to such parameters as the thickness and resistivity of the surface Si layer and the thickness of oxide film. The largest error is found in the case of thin film SOI (high resistivity) wafer, being 0.013 μm at maximum as shown in

Explanatory figure 2. This value is insignificant.

b) A smaller probe area results in the higher accuracy of measurement. But, it becomes sensitive to noise.



Explanatory figure 2

Calculation result of measurement error in the case of thin film SOI (high resistivity) wafer ²

5.1.2 Optical interferometer

(1) **Measurement principle** When the datum plane and the wafer surface are hit by parallel light, the reflected light from each surface is superimposed to produce interference. The shape difference between the datum plane and the wafer surface is obtained by interference fringes.

An example of an optical interferometer, the Twyman-Gree interferometer, is shown in **Explanatory figure 3**.



of interference fringe

Explanatory figure 3 Twyman-Gree interferometer

(2) Remark A measurement error occasionally appeared due to the wafer tare or the construction of a chuck.

5.1.3 Recommended measurement method The warpage should be measured by the electrostatic capacity method. The warpage indicated in the table of this standard specification is equivalent to "WARP" in the SEMI standard. The concrete procedures of the electrostatic capacity method and the definition of "WARP" shall follow SEMI MF 1390 and MF 657.

5.2 SOI layer thickness

5.2.1 Spectroscopic Reflectometry

(1) Measurement principle Visible light with wavelength continuously varied within the range of 400-800 nm is irradiated into the SOI layer and the reflective spectrum (e.g. Explanatory figure 4) is measured. When the light is injected into a multilayer consisting of SOI and buried oxide layers, the light is reflected at the SOI layer

surface, and the top and bottom interfaces of the buried oxide layer, as shown in **Explanatory figure 5**, with a simultaneous change in the optical phase. The intensity of the reflected light is determined by the sum of light reflected from each surface or interface. On this occasion, SOI and buried oxide layer thickness generates the optical path difference, resulting in an optical phase difference corresponding to the wavelength. Therefore the reflected light intensity should depend on the wavelength so that the reflective index spectrum can be obtained after normalization by the intensity of incident light.

This reflective index spectrum varies as the thickness of SOI and buried oxide layers changes. The SOI layer thickness can therefore be derived by comparing the measured spectrum with those approximately calculated using simulations or those from a database.



Explanatory figure 4 Data example of reflective index spectrum of an SOI wafer ³⁾



Explanatory figure 5 Schematic drawing of light transmission and reflection with an SOI wafer

(2) Remarks

a) Using visible light for the measurement restricts the measurable thickness of SOI layer and buried oxide. Example: Nanospec/AFT model: 210LCW.SP-FSC15

SOI layer:	0.01 to 15 μm
Buried oxide film :	0.004 to 3 μm

b) The optical constant of each layer (SOI, buried oxide) needs to be known prior to the measurement. It should also be reasonably constant within a layer.

5.2.2 Spectroscopic ellipsometry

(1) Measurement principle White light is linearly polarized with a polarizer and irradiated onto a specimen. The reflected light of elliptical polarization goes through an analyzer and a spectrometer, and is detected by a detector. Then, for each wavelength, tan Φ (amplitude-reflectance ratio) and cos Δ (phase difference) are measured. Finally the layer thickness is derived from the fitting of the measured tan Φ and cos Δ with those theoretically calculated by assuming the multilayer structure, complex dielectric function and thickness of each layer.



Explanatory figure 6 Spectroscopic ellipsometer

(2) Remarks

- a) It is necessary to make the incident beam size small when measuring a specimen with local fluctuation of layer thickness.⁴⁾
- **b)** If a buried oxide layer contains silicon inclusions, or voids exist at the layer interface, the Bruggeman approximation ⁵⁾ gives the effective complex dielectric function of a layer.

5.2.3 FT-IR (Fourier Transform Infra-Red spectrometry)

(1) Measurement principle Generally, when light enters the parallel thin film and is reflected, it produces the phase difference (Δ) corresponding to the film thickness. Here, when light whose phase difference is equivalent to this phase difference (Δ), reflects interference occurs.

As shown in **Explanatory figure 7**, this apparatus uses a Michelson interferometer, which gives the optical phase difference with time to the infrared radiation coming out of the light source. It causes the infrared radiation to enter a specimen, and detects the time variation of the reflected light intensity. Namely, this detector observes the interference peak corresponding to the layer thickness, from which the layer thickness can be derived.



Explanatory figure 7 Measurement system of film thickness measurement by FT-IR

- (2) Remark When the infrared radiation coming out of a Michelson interferometer happens to be in-phase, the detector observes the so-called center burst. The peak position observed according to the layer thickness of specimen therefore approaches that of a center burst as the layer thickness decreases. This determines the detectable (separable) minimum layer thickness after Fourier Transform to be 0.3 µm. At the thicker end, it is possible to measure up to several hundred µm.
- **5.2.4 Definition of layer thickness tolerance** The definition of SOI layer film thickness tolerance is as follows.
 - For layer thickness measurement where the measurement point is one for a single session of measurement, several points within a wafer shall be measured, then the maximum and minimum shall be selected. The tolerance shall be defined as follows.

Film thickness tolerance = maximum - minimum

The location and number of measuring points shall be determined upon agreement between persons concerned.

2) For layer thickness measurement where the measurement point is multiple (e.g. several hundred points) for a single session of measurement, the tolerance within a wafer surface shall be defined as follows.

Film thickness tolerance = 3σ (three times of standard deviation)

Edge exclusion for the measurement shall be determined upon agreement between persons concerned.

5.2.5 Recommended method of measurement This specification recommends the following method for estimation of layer thickness and its tolerance.

- (1) For the thickness of e.g. about 7 μm or less, a reflective spectroscopy method is recommended. For the thickness exceeding this value, FT-IR is recommended.
- (2) Measure the film thickness at e.g. 9 points, and define the tolerance as the difference between the maximum and the minimum.

- (3) The buried oxide layer of bonded SOI can be evaluated as the measured value of oxide layer thickness just after the oxidation (before bonding). It does not have to be measured after the SOI wafer is formed.
- (4) In any of the above cases (1) through (3), the number and location of measuring points in case of measurement with several points, and edge exclusion in case of measurement with multiple points.
- 5.3 N_d, ρ_s
- 5.3.1 SIMS (Secondary Ion Mass Spectrometry)
- (1) Measurement principle SIMS is the mass analysis of secondary ions spattered from a surface that is bombarded by a primary ion beam (e.g. O_2^+ or C_s^+) so as to analyze the components of a specimen.



Explanatory figure 8 Measurement principle of SIMS

(2) **Remark** The charge up of the specimen due to existence of buried SiO₂ layer; matrix effect where the detection sensitivity is different between Si and SiO₂; and existence of interference ions (e.g. existence of $Si_{30}H^1$ in P³¹ analysis)

5.3.2 Four Point Probe method

(1) Measurement principle As shown in Explanatory Figure 9, equally spaced four point probes contact a wafer. By flowing the known electric current I [A] between the outer electrodes ① and ④, voltage between ② and ③ can be measured (JIS H 0602). Resistivity $\rho[\Omega \cdot cm]$ is given by the following equation.

$$\rho = 2\pi\ell \cdot \frac{V}{I}$$

If $\ell \gg d$, then

$$\rho = \frac{\pi}{\log_e 2} \cdot \frac{V}{I \cdot d} \doteq \frac{4.45}{d} \cdot \frac{V}{I} \qquad (\Omega \cdot \text{cm})$$



Explanatory figure 9 Principle of Four Point Probe Measurement

(2) Remarks

- a) The four-probe method cannot measure resistivity accurately when impurities generate positive or negative charges on the wafer surface, or the fixed positive charge in the buried oxide film spreads out a depletion layer.
- b) The four-probe method can measure the resistivity of the bonded SOI wafer only when the silicon layer is thick enough to ignore the existence of a depletion layer caused by the fixed charge in the buried oxide film. In the case of a SIMOX wafer with a thin silicon layer, it was possible to measure only the low-resistivity wafer (0.01 to $0.02\Omega \cdot \text{cm}$) in which the spread of a depletion layer was negligible.
- 5.3.3 Spreading resistance method
- (1) **Measurement principle** Two probes scan the beveled surface along the obliquely polished surface at a known step. The spreading resistance can be obtained from the current flowing between the two probes by applying a known voltage (e.g. 5 mV) at each step (**Explanatory figure 10**).
- (2) **Remark** When an SOI wafer is polished obliquely, the spreading resistance of the surface silicon layer becomes higher because of the influence of the fixed oxide charge in the buried oxide layer or the buried layer just below the interface.
- (3) General caution As a typical phenomenon of SOI wafers, ambient boron contamination increases the boron concentration at the Si surface of the SIMOX wafer or near the bonded interface during wafer fabrication. (Explanatory figure 11)



Explanatory figure 10 Measurement principle for the spreading resistance method



Explanatory figure 11 Depth profile of boron in SIMOX wafer

5.4 Particles

5.4.1 Light scattering method

(1) Measurement principle A laser beam is irradiated onto the wafer surface, and the light scattered from the particles to the surface is received. The scattered light is received while the laser beam is scanning the wafer surface. Then, the scattered light and noise from wafer surface are detected as a dc component, whereas the scattered light from particles is detected as a pulse component. The diameter of a particle is calibrated using a standard particle (Explanatory figure 12).



Explanatory figure 12 Principle of particle detection

An SOI wafer is a multilayer wafer, and it has much noise from the film interface. It is necessary to decrease the incident component in the film and to increase the reflected component from the surface. For example, in the case of s-polarization with an incident angle as low as 10°, about 85% of the light is reflected from the silicon surface, and S/N is improved (**Explanatory figure 13**).



Explanatory figure 13 Improvement of S/N by low-angle irradiation of s-polarization

(2) Remarks

- a) SOI wafers with relatively thick silicon film (SOI > 1.0 μ m) are measured by using the perpendicular irradiation type apparatus that is used for bulk wafers. However, it is necessary to use a high pass filter that eliminates the interference signal caused by thickness variations, and to adjust the detection sensitivity of the photomultipliers. It is possible to detect particles equivalent to those on bulk wafers (particle diameter of 0.1 μ m or larger).
- b) SOI wafers with relatively thin silicon film (SOI < $0.5 \ \mu m$) should be measured by using low-angle irradiation of s-polarization or ordinary light, because there is much scatter noise. To reduce noise, however, the sensitivity of the detector needs to be adjusted. Detection sensitivity depends on the magnitude of scattered light noise, and it is possible to detect 0.5 μm or larger particles (0.2 μm or more by bulk) by the low-angle irradiating method.
- c) In a situation where quantification is not sufficiently determined, an indirect estimation method is the second best way. A bulk wafer with a well-established method of estimation is put simultaneously into the manufacturing process as a monitor. The data can give the particle level.

5.5 Roughness

5.5.1 AFM (Atomic Force Microscope)

(1) Measurement principle A cantilever with a probe touches and scans the specimen surface. The location displacement of the cantilever that is scanned is read, for example, by an optical technique to give two-dimensional information on the concave-convex condition of the surface (Explanatory figures 14 and 15).

(2) Remarks

a) To estimate roughness correctly, attention must be paid to the surface treatment method of the specimen for estimation.

<Example of surface treatment>

i) Surface treatment in the case of observing surface Si layer

Diluted HF solution \rightarrow rinsing \rightarrow drying

ii) Surface treatment in the case of observing the buried oxide film interface (upper side)

Diluted HF solution \rightarrow rinsing \rightarrow KOH solution \rightarrow rinsing \rightarrow drying

iii) Surface treatment in the case of observing the buried oxide film interface (lower side)

Diluted HF solution \rightarrow rinsing \rightarrow KOH solution \rightarrow rinsing \rightarrow diluted HF solution \rightarrow rinsing \rightarrow drying

<Example of solution used for surface treatment>

Diluted HF solution: Room temperature, 1.5%

KOH solution: 50 to 60°C

- **b)** The shape (dimension) of the probe tip and the method of contact (contact mode, tapping mode, or non-contact mode) must be selected according to the specimen to be estimated with careful consideration.
 - i) Contact mode: It features the capability of estimation in the atomic dimension order, but electrostatic energy on the insulator layer caused by the probe may affect data.
 - ii) Tapping mode: It featureds the capability of stable estimation irrespective of specimen material but the scanning speed depends on the flatness of the surface. Except for a flat specimen, this method is not suitable for observation over a wide area.

- iii) Non-contact mode: This method tends to be affected by the surface adsorption layer, and is no longer often used.
- c) To increase reliability of data, the observation area should be $20 \ \mu m \times 20 \ \mu m$ or larger.
- d) Calibration of a concave-convex pitch: Refer to JEITA EM-3505.



Explanatory figure 14 Cantilever with probe



Explanatory figure 15 Atomic force microscope

5.5.2 Stylus: [e.g. Nano step 2 (made by Rank Taylor Hobbson)]

(1) **Measurement principle** The stylus with a diamond tip traces over the specimen, with contact pressure being 1 to 100 mgf. The surface shape is converted into vertical movement of the stylus, and then converted into an electric signal by a differential transducer etc. The surface irregularities are displayed one-dimensionally.



(Source: Rank Taylor Hobbson)

Explanatory figure 16 Block diagram

(2) Remarks

- a) The shape of tip (R= 0.1 to 10 μm) and the surface tracing speed of the stylus require attention. Minimum trace speed: 2.5 μm/sec (trace direction resolution: 50 nm) Maximum trace speed: 500 μm/sec (trace direction resolution: 500 nm)
- b) The contact pressure is so small that it is easily affected by external vibration (floor and instrument vibration, airflow vibration, and sound pressure vibration). Vibro-isolation means are required. Temperature fluctuation during measurement needs to be controlled.

Noise level < 0.03 nm RMS

(3) General remark Generally, the surface micro roughness of bulk wafers is estimated by using the scattering and interference of light. When this technique is applied to SOI wafers, the micro roughness of uppermost surface cannot be estimated, because the estimation is affected by the light reflected from the buried oxide film. In other words, minimization of the intensity of light reflected from the buried oxide film may allow optical estimation of roughness in the future.

5.5.3 Recommended measurement method This specification recommends AFM (Atomic Force Microscope) as an estimation method of roughness. The result of roughness estimation by AFM shall be represented by "size of measurement area" and "Ra value" The estimation data shall be calibrated based on JEITA EM-3505.

5.6 Residual strain

5.6.1 Raman scattering spectroscopy

(1) Measurement principle ⁶ In Raman scattering, light enters a specimen, and is modulated by the lattice vibration of a crystal. The wavelength of the emitted light is different from that of the original light. The amount of difference corresponds to the energy of the lattice vibration. On the other hand, the energy of the lattice vibration varies with the stress of the crystal. Thus, the amount of difference of wavelength indicates the stress of the crystal.

If the stress on the crystal is sufficiently small, then the wavelength difference between the incident light and the Raman scatter light is proportionate to the stress of the crystal. It is larger for compressive stress, while it is smaller for tensile stress.

When isotropic stress is applied, 1 cm⁻¹ corresponds to 7×10^8 Pa. When two-dimensional stress is applied, the triple degenerated Raman band is decomposed into two: doublet and singlet with 1 cm⁻¹ for 3×10^8 Pa and 4×10^8 Pa, respectively.



Explanatory figure 17 Principle of Raman scattering spectroscopy

(2) Remarks

- a) The penetration length of incident light into Si and the film thickness of SOI layer must be considered when analyzing Raman signals. If the penetration length of incident light into Si is longer than the film thickness of the SOI layer, the Raman signal from SOI layer and that from Si substrate will be superimposed. Thus isolation is needed. In this case, if measurement spectrum is inseparable into two Lorentz components, the residual stress can be estimated to be 3×10^8 Pa or less.
- b) Because the temperature of samples tends to increase due to poor dissipation of heat in the SOI structure, it is necessary to suppress the incident power as much as possible. It is possible to estimate the amount of sample heating by measuring the value of the Roman shift corresponding to the change of incident power.

5.7 Bonding strength

5.7.1 Tensile strength testing method

(1) Measurement principle Apply a force against a bonded surface perpendicularly to peel off the bonded surface. The tensile strength (usually: Kgf/cm²) applied at the time of peeling shall be defined and estimated as the bonding strength.

As shown in **Explanatory figure 18**, fix the tensile jig to the SOI layer by using adhesives (e.g. epoxy resin). Place and fix the specimen horizontally on the specimen stand. Pull the jig off the bonded surface perpendicularly until the bonded surface peels off.


Explanatory figure 18 Bonding strength measurement by tensile method

- a) If the peeled interface was the adhesive interface or silicon block cross section, and not the bonded interface, then the bonding strength shall be estimated to exceed the tensile force obtained at that time. The maximum value of adhesive strength shall be the upper limit of this technique.
- **b)** The size of the specimen shall be larger than that of the jig so that induced strain may not reach the measured interface.

Example: Diameter of adhesion surface of jig	a=2.7mmΦ
Size of window of specimen stand	b=4.0mmΦ
Size of specimen	c=7.0mm□
Outer diameter of specimen stand	7.5 mm Φ

5.7.2 HF corrosion method

(1) **Measurement principle** Immerse a piece of a sample wafer in an HF solution under the specified conditions. Measure the penetration depth from the bonded edge with a microscope etc. (defined as relative strength).

(2) Remarks

- a) Adopt a cleaved chip with less mechanical strain.
- **b)** Maintain HF conditions for the immersion (temperature, concentration, duration, etc.). Prepare a reference specimen (e.g.covered with SiO₂ film) to avoid immersion process variation.

5.7.3 Adhesive tape method

(1) Measurement principle Stick adhesive tape on the wafer and pull it off until the SOI film comes away from the substrate as shown in Explanatory Figure 19. In this way, some characteristics of bonding strength can be quantified such as the location, size and number of weak regions.⁷⁾







Explanatory figure 20 Measurement by adhesive tape method

- a) If the vacuum chuck is not strong enough, the wafer may break.
- b) Change the adhesive tape for every measurement.
- c) When the wafer surface needs to be protected, coating photoresist (e.g. positipe, hardbake) may be effective.
- d) The detectable size of weak adhesion area depends on film thickness.
 For example, the thickness of Si layer should be 1 μm or less.
- e) To peel and record the peel area, a magic mirror (MAKYO) is effective.

5.7.4 Rapid heating method

(1) Measurement principle Heat the bottom of an SOI wafer rapidly. Stress is produced by the difference in thermal expansion between the layer and the support substrate, and this causes the Si of a weak adhesion area to peel off through plastic deformation. This procedure can measure bonding strength by quantifying the location, size and number of weak adhesion areas over the entire wafer.

Place the SOI wafer on a heat-conductive plate heated between 200 and 300°C. Measure the swollen Si layer with a magic mirror.



Explanatory figure 21 Measurement by rapid heating method

- a) Use a clean, heat-conductive heating plate (e.g. SiC coated carbon)
- **b)** The size of the detectable weak adhesion area depends on the film thickness. For example, the thickness of Si layer should be 1 μm or thinner.
- c) Peeled Si pieces may scatter.
- d) Higher temperature of the heating plate results in higher detection sensitivity.
- e) When the warpage of a wafer exceeds $50 \,\mu\text{m}$, use a heating plate with a vacuum chuck.

5.7.5 Recommended method of measurement The tensile testing method is recommended in this specification. For specific conditions of measurement, refer to the provision in **5.7.1**.

5.8 Void

5.8.1 Infrared interferometry

(1) Measurement principle Interference fringes are induced by measuring interference between a ray directly penetrating an SOI wafer and another penetration ray reflected at both ends of void. Presence of voids is detected by observing whether the interference fringes are present or not. For the void gap width (d) and the available wavelength (λ), the wave interference occurs in the following condition: $2d=n\lambda/2$ (n= 1, 2, ...).



Explanatory figure 22 Principle of infrared interferometry

- a) To allow light to penetrate SOI wafers, it is necessary to use infrared rays whose wavelength is no less than
 1.1 μm.
- b) Because wafers with low resistivity (0.02 Ω · cm or lower) absorb the penetrating infrared rays, measurement is not possible.

5.8.2 Ultrasonic void detection method

- (1) Measurement principle This technique detects the difference in the transfer time of the sound wave reflected at both ends of void. Gating is applied to the range equivalent to the predetermined depth of a wafer, and signals are taken out. The reflective signal in the depth is acquired. If measurement is performed underwater, the acoustic lens can collimate the ultrasonic beam. and this improves positional resolution.
- (2) Remarks
 - a) Measurement is performed in water. So this technique is not suitable for SOI wafers with weak bonding strength.
 - **b)** This technique is not suitable for thin SOI layers (10 μm or thinner) because the reflection from wafer surface cannot be separated from the reflection from the bonding interface.
 - c) The detectable void gap width depends on the frequency of the available sound wave. The detectable void

diameter depends on the dimension of the available sound source and receiver. For example, when a frequency of 75 MHz is used, voids whose gap is 5 nm and whose diameter is 50 µm are detectable.



Explanatory figure 23 Principle of ultrasonic void detection

5.8.3 Magic mirror method

(1) Measurement principle A void causes a convex deformation in the surface of the corresponding part of an SOI wafer. The swell is detected by halogen light or xenon light. The light reflected from the concave area on the SOI wafer surface is converged onto a screen to produce a bright (white) image, whereas the light reflected from the convex area produces a dark (black) image. Existence of void is detected from this monochrome shade.



Explanatory figure 24 Principle of magic mirror method

(2) Remarks

- a) The SOI wafer surface must be a mirror.
- b) If the void is too small to cause the SOI surface to swell, it cannot be measured.
- c) The void detection sensitivity depends on the light-source-specimen distance and the specimen-screen distance.

5.8.4 X-ray topography method (Lang method)

(1) Measurement principle An X-ray that has penetrated the SOI wafer is cut by a slit. Only the X-ray that is diffracted by the SOI wafer reaches the film. The diffraction X-ray intensity is amplified by the lattice distortion accompanying void generation, and the void can be detected. The diffracted image from the entire SOI wafer is acquired by simultaneous, reciprocating motion of the SOI wafer and the film.



Explanatory figure 25 Principle of X-ray topography method (Lang method)

(2) **Remark** The lattice distortion becomes smaller as the SOI layer becomes thinner So, this technique is suitable for detection of voids in the thick film SOI layer.

5.8.5 Recommended measurement method Ultrasonic void detection is recommended as an estimation method for voids. For the concrete conditions for measurement, refer to the provision in **5.8.2**.

- (1) Void refers to an air gap produced by separation of Si from the oxide film interface. It is different from peel as a result of a bond strength test.
- (2) Some voids cannot be inspected at the time of shipment of SOI wafers. Inspection is limited to those that can be detected during the manufacturing process of SOI wafers.
- 5.9 Pinhole

5.9.1 Copper precipitation method

- (1) Measurement method Copper precipitation method (electrolytic solution: copper sulfate)
- (2) Measurement principle Place an SOI wafer with the exposed SOI layer on a cathode electrode. Fix an anode electrode (copper) above the surface of the SOI layer. Immerse the whole arrangement in a copper sulfate (CuSO₄) aqueous solution, and apply voltage. Copper precipitates on the SOI layer surface that is immediately above the leak point of an oxide film. The number of pinholes of buried oxide film is measured by counting the number of spots of copper precipitate.



Explanatory figure 26 Principle of copper precipitation method

- (3-1) When a copper sulfate aqueous solution is used as the electrolytic solution
 - a) The concentration of CuSO₄ must be selected to be suitable for the thickness of the buried oxide film. For a thickness of about 100 nm, 0.1 molar or less is suitable. For a thickness of about 400 nm, about 1.3 molar is suitable.
 - b) The applied voltage of about 1 MV/cm is suitable as an electric field to be applied across a buried oxide film.
 - c) Copper sulfate aqueous solution may be infiltrated into filter paper etc., and may be maintained.
- (3-2) When a methanol and copper nitrate are used as the electrolytic solution
 - a) How to dissolve copper in methanol
 - i) How to dissolve the copper plate of the anode

Place a dummy wafer with an oxide film. Apply a voltage of about 5 MV/cm, which is reasonable from oxide film thickness conversion. Leave it under fluorescent light for about 30 minutes.

- ii) How to dissolve copper nitrate
 Dissolve copper nitrate (CuNO₃) into methanol, A concentration of 0.05 molar or less is recommendable.
- b) At the time of precipitation, irradiate light (e.g. fluorescent lamp).
- c) Copper precipitates beyond the threshold of the electric field. When an oxide film is 25 nm, precipitation starts at 3.5 MV/cm or higher.

(4) Characteristics

(4-1) When a copper sulfate aqueous solution is used as the electrolytic solution

Operation is simple. However, application of a high voltage causes copper to precipitate on the entire surface making it impossible to detect the weak spots.

(4-2) When methanol and copper nitrate are used as the electrolytic solution

Application of even an even high voltage causes copper to precipitate only at the weak poits, making it possible to detect the weak spots.

5.9.2 MOS capacitor method

(1) Measurement principle Produce a MOS capacitor by using the following components: SOI film (gate electrode) whose resistivity has been decreased by doping, buried oxide film and substrate. Apply a voltage corresponding to the electric field of 1 to 2 MV/cm between the substrate and the gate electrode of the MOS capacitor, and measure the voltage. If the current exceeds, for example, 1µA, the capacitor has pinholes and is defective. Calculate the acceptance ratio of the capacitor for MOS capacitors of various areas. Assuming that pinholes are distributed uniformly, the following formula gives the pinhole density.

$$P = \exp(-D \cdot S)$$

where, P: acceptance ratio of capacitor, D: pinhole density, S: electrode area of MOS capacitor.



Explanatory figure 27 Principle of MOS capacitor method

(2) Remark Choose an appropriate electrode size for the MOS capacitor according to the expected pinhole density. For example, when the pinhole density is about 0.1/cm², use several kinds of electrodes in the range of 0.001 to 1 cm².

5.9.3 Recommended measurement method The actual method and measurement conditions shall be subject to agreement between a supplier and a user of wafers.

5.10 Fixed charge density N_{FB}

- 5.10.1 MOS capacitor method
- (1) Measurement principle Produce a MOS capacitor by using the following components: SOI film (gate electrode) whose resistivity has been decreased by doping, buried oxide film and substrate. Measure the relation between the gate bias and RF capacitance of the MOS capacitor. Compare its C-V curve with an ideal, theoretical C-V curve. Obtain the shift (ΔV_{FB}) of flat band voltage ⁸ and use the following formula to calculate the fixd charge density (N_{FB}).

$$N_{FB} = (C_{OX} / qS) \Delta V_{FB}$$



Explanatory figure 28 Principle of MOS capacitor method

(2) **Remark** For a substrate with high resistivity, the effect of substrate resistivity requires attention.

5.10.2 Inversion type MOS transistor method

(1) Measurement principle Use the relation curve (Explanatory figure 30) for the threshold and the back gate voltage of inversion type MOSFET. Obtain the back gate voltage VAGb when the back gate enters an accumulation condition. Use the following formulas, (1) and (2), and calculate the fixed charge density N_{FB}.⁹

In the case of n - type substrate

$$V_{Gb}^{A} = \Phi_{bMS} - qN_{FB} / C_{ob} - 2 \phi_{B} (C_{b} / C_{ob}) + qN_{A}t_{b} / (2C_{ob})$$
(1)

In the case of p - type substrate

 C_{ob}

$$V^{A}_{Gb} = \Phi_{bMS} - qN_{FB} / Co_{b} + 2 \phi_{B} (C_{b} / C_{ob}) - qN_{D}t_{b} / (2C_{ob})$$
(2)

where, $\Phi_{\rm bMS}$: work function difference of back gate $\phi_{\rm B}$: Fermi potential

$$N_A$$
 and N_D : impurity concentration of SOI layer t_b :
 C_{ob} : capacitance of buried oxide film C_b :

C_b : capacitance of SOI layer of completer depletion

thickness of SOI layer

: elementary charge q



Explanatory figure 29 Principle of inversion type MOS transistor method



Explanatory figure 30 Relation of threshold voltage and back gate voltage of spaceinversion type SOI/MOS transistor

5.10.3 SPV Method

(1) Measurement principle From the SOI wafer surface, irradiate light whose energy exceeds the band gap energy of silicon. Excite excess carriers, and flatten the band bending on the SOI layer surface and the buried oxide film interface. Measure the variation of the surface potential (SPV) at that time. Use the surface potential variation and calculate the fixed charge density.



Explanatory figure 31 Principle of SPV method

- a) Calibration of the fixd charge obtained by SPV shall use a bulk wafer. It shall be performed at the fixd charge density obtained by C-V measurement of MOS capacitor.
- b) The charge density obtained by SPV includes the fixd charge density and the interface charge density.
- c) The irradiation light shall be intense enough to saturate SPV.
- **d)** If the SOI layer film is thinner than twice the maximum depletion layer width, it might cause an overlap of band bending and complete depletion. A model that is suitable for each case is required.
- e) This technique disregards the charge density on the surface and on the lower interface of the buried oxide film. However, its effect and an elimination method need to be considered.

5.11 Contamination

- 5.11.1 Atomic Absorption Spectrophotometry (AAS)^{10, 11)}
- (1) **Measurement principle** Usually, an aerosol of specimen solution is introduced into flame. Light from the light source passes through the flame, and atomic absorption that is specific to the elements is measured.



Explanatory figure 32 Principle of atomic absorption photometer

- a) To perform correct measurement, specimen preparation requires consideration.
 - Silicon is oxidized, and the specimen is made of an oxide film with HF recovery liquid. As an example of recovery, Explanatory figure 33 shows an HF vapor decomposition apparatus. At this time, the substrate must be hydrophobic.
 - ii) To make measurement more sensitive, the recovery liquid shall be of small quantity so that droplets may be rolled over all the front surface of a wafer, and may be recovered.
- **b)** To prevent redistribution of heavy metals and external contamination during oxidation process, low-temperature processes are recommended in oxidation (ECR plasma, step etching, etc).
- c) Heavy metal cannot be recovered by HF alone. It is necessary to use another recovery liquid.
 - Cu: $HF-H_2O_2$ ($HF:H_2O_2:H_2O = 1:17:82$),
 - Au, Pt: aqua-regia (HNO₃:HCl = 1:3)



Explanatory figure 33 HF vapor-decomposition apparatus

5.11.2 Inductively Coupled Plasma Mass Spectrometry (ICP-MS)¹²⁾

(1) Measurement principle This consists of an ICP (inductively coupled plasma) section that serves as an ion source and MS (mass spectrometer) section that separates and measures ions generated in ICP. Generally, the solution sample is atomized with a nebulizer, passing through a spray chamber, and introduced into argon plasma that is held in a quartz tube called a torch.

Then it is subjected to pyrolysis. It is vaporized, electronized and ionized. Except for a few elements (F, He, Ne, etc.) with relatively high ionization potential, most elements (90% or more) are ionized. Ions are led to a vacuum chamber and measured by mass spectrometer.



Explanatory figure 34 Principle of ICP-MS apparatus

- a) Sample preparation requires cautions similar to those of the AAS method.
- **b)** Quantification of Fe becomes less sensitive because of the presence of ArO⁺ which has a similar mass number.

5.11.3 Total Reflection X-Ray Fluorescence (TRXF)¹³⁾

(1) **Measurement principle** To produce X-ray total reflection, X-rays are caused to strike the wafer with a low angle of incidence. Measurement of fluorescent X-ray energy and its X-ray intensity identifies elements and gives the amount. Usually, the angle of X-ray incidence is 0.1° or less.



Explanatory figure 35 Principle of total reflection X-ray fluorescence apparatus

(2) **Remark** The change of angle of X-ray incidence gives information in the depth direction, but quantification is difficult. For this reason, unless a step etch is used, this technique is applied to analyze the specimen surface.

5.11.4 Recommended measurement method Total Reflection X-Ray Fluorescence (TRXF) is recommended for analyzing the silicon surface. Atomic Absorption Spectrophotometry (AAS) or Inductively Coupled Plasma Mass Spectrometry (ICP-MS) is recommended for analyzing the inside of the substrate.

5.12 Lifetime

5.12.1 **µ-PCD** method ¹⁴⁾

(1) Measurement principle The light pulses produce excess carriers in the specimen. The carriers in turn increase conductivity. They are recombined, disappearing and decreasing conductivity. This change can be monitored with the reflective microwave photoconduction decay method. Analysis of the time variation of

reflective microwave power gives the recombination lifetime. The lifetime is decreased by the presence of metal impurities, defects etc. that form an impurity level in the forbidden band. Analysis of recombination lifetime can estimate metal impurities, crystal defect etc. in a specimen.

(2) Remarks

a) The effective recombination lifetime τ_{eff} is expressed with the following formula.

$$\frac{1}{\tau_{eff}} = \frac{1}{\tau_B} + \frac{1}{\tau_s + \tau_D}$$
$$\tau_s = \frac{d}{2S}, \quad \tau_D = \frac{d}{\pi^2 D}$$

 $(\tau_B = \text{bulk lifetime}, \tau_S = \text{surface recombination lifetime}, S = \text{surface recombination velocity}, d = \text{wafer thickness},$ $\tau D = \text{diffusion lifetime}, D = \text{diffusion coefficient})$

In the case of SOI wafers, the SOI layer thickness (d) is much thinner than bulk wafers. So, the measured lifetime (τ_{eff}) is affected by the thickness (d).

The surface recombination lifetime (τ_s) mentioned above must be expressed with the following formula because recombination needs to be considered at the buried oxide film interface of SOI wafer.

$$\tau_{S} = \frac{d}{S_{Si/Box} + S_{Si}}$$

 $(S_{Si}/B_{Box} = recombination velocity at the buried oxide film interface, S_{Si} = recombination velocity at silicon surface).$

- b) To lower the recombination velocity of layer surface, it is necessary to perform a surface treatment.
- c) To measure the lifetime of an SOI layer in the case of SOI wafers, it is necessary to select a ligit source wavelength that generates carriers in the SOI layer alone. The following is the relation between the wavelength and the penetration depth (distance where the optical intensity decreases to 1/e).

Wavelength (nm)	Penetration depth (µm)
450	~ 0.8
532	~1.4
635	~ 3.0
670	~ 4.0
780	~ 10.0
820	~ 14.0
850	$\sim \! 18.0$

- **d)** To avoid the effect at the interface between the SOI layer and the buried oxide layer, the carrier concentration in laser irradiation should be lower than the impurity concentration in the SOI layer.
- 5.12.2 SPV method
- (1) Measurement principle When excess carriers are generated by irradiation of light, the small number of carriers generated move to the depletion layer and are accumulated. They change the surface barrier height. The amount of variations ΔV of the surface potential obtained at this time depends on the wavelength of light, i.e., the penetration depth of light. Assuming that the light absorption factor is α , the intensity of illumination is Φ , and the diffusion length is L, the following relation holds good.

$$\frac{\Phi}{\Delta V} = C \left(L + \frac{1}{\alpha} \right) \qquad \qquad \cdots \textcircled{1} \quad (C : constant)$$

For several kinds of wavelength of light, plot $\Phi/\Delta V$ against $1/\alpha$. Form a straight line by connecting several points, and extrapolate that line. Then, obtain the value of $-1/\alpha$ that puts $\Phi/\Delta V=0$. Then, the diffusion length is obtained.

Assuming that the diffusion constant is D, the lifetime τ is obtained by using the following formula.

$$L = \sqrt{D\tau}$$

(2) Remarks

- a) For measurement, the SPV technique requires formation of a depletion layer or an inversion layer at the surface. To stabilize a surface state, p type should be treated by HF, whereas n type should be treated by H₂O₂. Then, it should be rinsed, dried and left for one day.
- **b)** The formula ① assumes the following conditions where the wafer thickness is T, and the thickness of the depletion or inversion layer formed at the surface is W.

T>4L, α T>>1, L>>W

This is an approximation. The measured lifetime depends on the thickness of the SOI layer.

c) Like the μ-PCD method, it is necessary to select the wavelength of light source that generates carriers in the SOI layer alone.

5.12.3 Recommended measurement method

This specification recommends µ-PCD method to measure the lifetime of thick SOI layer.

Reference documents

- SEMI MF 1390 "Standard Test Method for Measuring Warp on Silicon Wafers by Automated Noncontact Scanning"
- 2) 95-KI-18 Survey report on technical trend in multilayer integration technology, IV, (II-25) (1995)
- 3) J.-P.Colinge, "Silicon-on-Insulator Technology" Kluwer Academic Publisher, 1991
- 4) M.E.El-Ghazzawi, et al., Thin Solid Films, 233 (1993) 218-222.
- 5) D.Bruggeman, Ann.Phys, Leipzig, 24 (1935) 636.
- 6) Opt. Spectrosc. (USSR) 43 (2), p.145 (1977)
- 7) JIS K 6854-1, -2, -3, and -4
- E.H.Nicollian and J.R.Brewes "MOS Physics and Technology" p.477 to 489, 1982, JOHN WILEY & SONS (New York)
- 9) S. Masui et al. Proceedings 1994 IEEE International SOI Conference. p.83 (1994)
- 10) Watanabe, Tsuji, Ishitani, Shimono, Shingakugihou SDM91-159 (1991)
- 11) Watanabe, Yoshino, Kobiki, Kitajima, Shingakugihou SDM95-274 (1996)
- 12) Kodate, Machiyama, Imai, Tanaka, Yabumoto, Shingakugihou SDM95-275 (1996)
- 13) Kodate, Machiyama, Imai, Tanaka, Yabumoto, Shingakugihou SDM95-275 (1996)
- 14) 95-KI-17 Recombination lifetime measurement method for silicon wafer by the reflective microwave photoconduction decay method (1997)

Committee Members

Managing Committee on Information Technology Standardization

Chairman	Akira Shibata	DENSO WAVE INCORPORATED

Silicon Technologies Committee

Chairman	Michio Tajima	ISAS / JAXA
Co-Chairman	Toshihiko Kanayama	National Institute of Advanced Industrial Science and Technology.
Co-Chairman	Hiroshi Koyama	JEOL Ltd.
Member	Naohisa Inoue	Osaka Prefecture University.
Member	Atsushi Ogura	Meiji University.
Member	Morimasa Miyazaki	SUMITOMO MITSUBISHI SILICON CORPORATION.
Member	Tetsuo Fukuda	FUJITSU LIMITED.
Member	Yukio Matsumoto	Accent Optical Technologies Co., Ltd.
Member	Tomohisa Kitano	NEC Electronics Corporation.
Member	Manabu Tsujimura	Ebara Corporation.
Member	Kohei Eguchi	MEMC Japan Ltd.
Member	Eiji Uchida	Oki Electronic Industry Co., Ltd.
Member	Kenichi Shindo	KURODA Precision Industries Ltd.
Member	Yasuhide Nakai	Kobelco Research Institute, Inc.
Member	Mitsuo Kohno	Komatsu Electronic Metals Co., Ltd.
Member	Noriaki Shinohe	Siltronic Japan Co., Ltd.
Member	Takao Takenaka	Shin-Etsu Handotai Co., Ltd.
Member	Ritsuo Takizawa	Sony Corp.
Member	Seiji Fujino	DENSO CORPORATION.
Member	Moriya Miyashita	Toshiba Corp.
Member	Yoshiaki Matsushita	Toshiba Ceramics Co., Ltd.
Member	Hisashi Isozaki	TOPCON CORPORATION.
Member	Masanori Yoshise	JAPAN ADE LTD.
Member	Masaharu Watanabe	SEZ Japan.
Member	Sadao Nakajima	Hitachi Kokusai Electric Inc.
Member	Yoshihiro Arimoto	Fujitsu Laboratories Ltd.
Member	Keiichi Yoshizumi	Matsushita Electric Industrial Co., Ltd.
Member	Hiroshi Ohishi	Matsushita Electric Industrial Co., Ltd.
Member	Hisashi Katahama	SUMITOMO MITSUBISHI SILICON CORPORATION.
Member	Naoyuki Kawai	Renesas Technology Corp.
Member	Hideo Sakai	RAYTEX CORPORATION.
Adviser	Yasuo Tarui	The Takeda Foundation.
Secretariat	Makoto Nakase	Japan Electronics and Information Technology Industries Association.
Secretariat	Kenichi Takanashi	Japan Electronics and Information Technology Industries Association.

SOI and Related Wafer Technologies Subcommittee

Chairman	Atsushi Ogura	Meiji University.
Co-Chairman	Yuichi Kado	Nippon Telegraph and Telephone Corporation
Co-Chairman	Jiro Ida	Oki Electronic Industry Co., Ltd.
Co-Chairman	Atsuki Matumura	Siltronic Japan Co., Ltd.
Co-Chairman	Kiyoshi Mitani	Shin-Etsu Handotai Co., Ltd.
Co-Chairman	Hiroshi Kiguchi	JAPAN ADE LTD.
Co-Chairman	Nobuyoshi Hattori	Renesas Technology Corp.
Member	Seiichiro Kawamura	National Institute of Advanced Industrial Science and Technology.
Member	Masami Tanaka	Accent Optical Technologies Co., Ltd.
Member	Tomohiko Tomiyama	NEC Electronics Corporation.
Member	Hidetoshi Yanai	MEMC Japan Ltd.
Member	Shingo Sumie	Kobelco Research Institute, Inc.
Member	Masato Imai	Komatsu Electronic Metals Co., Ltd.
Member	Noriyuki Iwamori	DENSO CORPORATION.
Member	Akio Nakagawa	Toshiba Corp.
Member	Hiroharu Izunome	Toshiba Ceramics Co., Ltd.
Member	Hisashi Isozaki	TOPCON CORPORATION.
Member	Masaharu Watanabe	SEZ Japan.
Member	Sadao Nakajima	Hitachi Kokusai Electric Inc.
Member	Toshiro Nakanishi	Fujitsu Laboratories Ltd.
Member	Naoki Kotani	Matsushita Electric Industrial Co., Ltd.
Member	Keishi Kubo	Matsushita Electric Industrial Co., Ltd.
Member	Kazuhiro Yamamoto	SUMITOMO MITSUBISHI SILICON CORPORATION.
Guest Member	Katsutoshi Izumi	Osaka Prefecture University.
Guest Member	Michio Tajima	ISAS / JAXA
Guest Member	Hiroshi Koyama	JEOL Ltd.
Secretariat	Kenichi Takanashi	Japan Electronics and Information Technology Industries Association.

(社)電子情報技術産業協会が発行している規格類は、工業所有権(特許,実用新案など)に関する抵触の有無に関係なく制定されています。
(社)電子情報技術産業協会は、この規格類の内容に関する工業所有権に対して、一切の責任を負いません。

JEITA EM-3604

2005年2月発行

 発行 (社)電子情報技術産業協会 標準・技術部 〒101-0062 東京都千代田区神田駿河台 3-11 TEL 03-3518-6434 FAX 03-3295-8727

印刷 (有)ウイード 〒162-0041 東京都新宿区早稲田鶴巻町 556 TEL 03-3513-5751 FAX 03-3513-5752

禁無断転用

, この規格類の全部又は一部を転載しようとする場合 、は,発行者の許可を得てください。